VEKTORSKI KONTROLER PREKIDA (VIC)

1. OPIS

Spoljašnje ili unutrašnje periferije mogu zahtevati prekid rada (IRQ – *inerrupt request*) programa koji se trenutno odvija u mikroprocesoru. Ako je prekid od periferije koja je postavila zahtev dozvoljen, mikroprocesor će prekinuti program koji obavlja i preći na progam za opsluživanje te periferije, (ili servisne rutine prekida - ISR *interrup service routine*), a po njegovom završetku nastavlja izvršavanje prekinutog programa. Sve periferije koje mogu da postave zahtev čine **IZVORE** prekida. Svaki izvor mora da ima odgovarajući bit kojim se njegov prekid dozvoljava ili brani. Procesoru se pored toga mora definisati početna adresa za svaki od programa za opsluživanje prekida (ISR) kojih može biti više. Početna adresa ISR se naziva **VEKTOR** prekida.

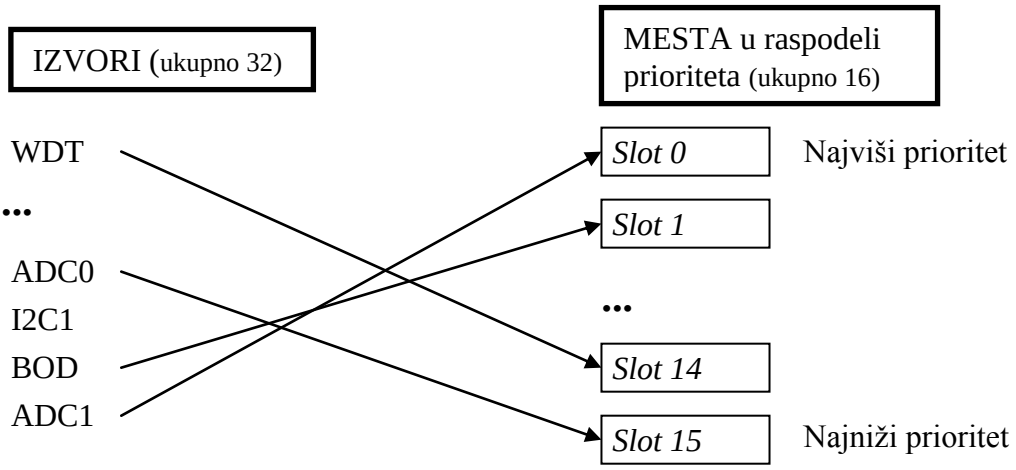
Sve zahteve za prekid prihvata vektorski kontroler prekida (VIC). Zahtevi od spoljašnjih periferija dolaze dovođenjem odgovarajućeg signala na nožicu mikrokontrolera. Signal spoljašnjeg zahteva za prekid može biti odgovarajući logički nivo ili ivica signala. Programer može da izabere da li će signal zahteva za prekid spoljašnje periferije predstavljati logička nula, logička jedinica, rastuća ili opadajuća ivica.

Unutrašnje periferije postavljaju zahtev za prekid tako što postave signal zahteva za prekid na ulaz VIC.

ARM7 arhitektura može opslužiti do 32 izvora prekida (LPC-2138 koristi 22 izvora). Arhitektura predviđa mesto za maksimalno sedamnaest različitih programa za opsluživanje prekida. Šesnaest je namenjeno opsluživanju pojedinačnih periferija i oni se zovu „vektorski“, dok je sedamnaesti „nevektorski“ namenjen opsluživanju svih ostalih periferija.

Svaka od šesnaest vektorskih prekidnih rutina ima svoj mesto (*slot*) u raspodeli prioriteta. Prioritet definiše redosled izvršavanja programa za opsluživanje prekida (ISR) ukoliko u istom trenutku postoji više zahteva za prekid. Takva se situacija može desiti posle skidanja zabrane prekida ako je više periferija postavilo zahtev dok je prekid bio zabranjen. Posle skidanja zabrane prvo će se izvršiti program za opsluživanje (ISR) sa najvišim prioritetom.

Programer upisom u upravljačke registre povezuje izvore prekida sa programom za opsluživanje odgovarajućeg pripriteta. Programer može bilo koji izvor prekida povezati sa jednim od šesnaest ISR (bilo kojim) i time definisati prioritet tog izvora. Na primer, programer može ADC1 periferiji dodeliti najviši prioritet tako što će ISR koji oprlužuje ADC1 postaviti na mesto 0 (*slot* 0) koje nosi naj-



viši prioritet. Mesta nose oznake *slot 0* do *slot 15* pri čemu je *sot 0* mesto vajvišeg, a *slot 15* najnižeg prioriteta.

Vektorski kontroler prekida ima 32 ulaza (izvora prekida). Ulazi su programom razvrstani u tri **KLASE** prekida: **FIQ**, **vektorski IRQ** i **nevektorski IRQ**. To da su programom razvrstani znači da programer za svaki od izvora prekida određuje klasu prekida kojoj će taj izvor pripadati. U toku rada, kase se mogu dinamički menjati.

FIQ – brzi prekid obično se dodeljuje periferiji najvišeg prioriteta. Ukoliko se koristi FIQ, preporučljivo je koristiti samo jedan. Ukoliko se koristi više, brzi prekid gubi na efikasnosti (gubi se vreme na proveru da bi se ustanovilo koja periferija je zahtevala prekid).

Vektorski IRQ se dodeljuje periferijama srednjeg prioriteta. Od ukupno 32 izvora, 16 (bilo kojih) može biti smešteno u „slotove“ (mesta u raspodeli prioriteta) vektorskih prekida. Svaki slot ima svoj vektor prekida i svoj prioritet, od 0 (najviši) do 15 (najniži).

Nevektorski IRQ se dodeljuje periferijama najnižeg prioriteta.

Vektorski kontroler prekida obrađuje postavljene zahteve za prekid. Ako periferija koja postavlja zahtev predstavlja izvor koji je kategorisan kao vektorski IRQ (ili FIQ), VIC daje adresu programa za opsluživanje prekida koji se nalazi na onom mestu (*slot*) za koje je ta peiferija povezana. Ako zahtev dolazi od periferije kategorisane kao nevektorski IRQ, VIC daje adresu standardne rutine koju dele svi nevektorski prekidi.

Svim regisrima VIC se pristupa isključivo kao tridesetdvobitnim lokacijama.

2. OPIS REGISTARA

Naziv	Opis	Pristup[1]	Vrednos posle reseta
VICIRQStatus	IRQ Status Register. IRQ Statusni registar. Ovaj registar služi samo za čitanje. Iz njega se čita stanje ulaza (zahteva za prekid) koji su klasifikovani kao IRQ (i vektorski i nevektorski), dozvoljeni su i desili su se.	RO	0
VICFIQStatus	FIQ Status Register. FIQ statusni registar. Ovaj registar služi samo za čitanje. Iz njega se čita stanje ulaza (zahteva za prekid) koji su klasifikovani kao FIQ, dozvoljeni su i desili su se. Ako ima više FIQ zahteva, FIQ servisna rutina iz ovog registra može videti koje su periferije tražile prekid.	RO	0
VICRawIntr	Raw Iterrupt Status Register. Opšti (sirovi) statusni registar prekida. Ovaj registar služi samo za čitanje. Iz njega se čita stanje ulaza (zahteva za prekid), svih klasa (FIQ, IRQ, vektorski ili ne) i bez obzira da li su dozvoljeni ili ne.	RO	0
VICIntSelect	Interrupt Select Register. Registar za izbor klase prekida. Ovaj registar služi i za čitanje i za pisanje. U ovom registru se određuje klasa prekida (FIQ ili IRQ) za svaki od periferija koja će koristiti prekide.	R/W	0
VICIntEnable	Interrupt Enable Register. Registar za dozvolu prekida. Ovaj registar služi i za čitanje i za pisanje. U ovom registru se daje dozvola za izvršavanje prekida.	R/W	0
VICIntEnClr	Interrupt Enable Clear Register. Registar za oduzimanje dozvola. Ovaj registar služi samo za upisivanje. U ovom registru se oduzima dozvola prekida, koja je dodeljena u VICIntEnab registru.	WO	0

[1] RO – Samo čitaj; WO – Samo piši; R/W – Čitaj i piši

Naziv	Opis	Pristup[1]	Vrednos posle reseta
VICSoftInt	Software Interrupt Register. Registar za softverske prekide. Upisom u ovaj registar se može porogramski postaviti zahtev za prekid nezavisno od hardvera.	R/W	0
VICSoftIntClear	Software Interrupt Clear Register. Registar za brisanje softverskog zahteva za prekid. Ovaj registar služi samo za upisivanje. Koristi se za ukidanje softverskih zahteva za prekid	WO	0
VICProtection	Protection Enable Register. Registar za zaštitu. Ovaj registar služi za čitanje i pisanje. Ovim registrom se može ograničiti pristup registrima VIC-a tako da im se može pristupiti samo iz supervizorsog moda. Koristi se samo jedan bit.	R/W	0
VICVectAddr	Vector Address Register. Registar adrese vektorskog prekida. Ovaj registar služi za čitanje i pisanje isadrži adresu prekida (IRQ) koji će biti sledeći opslužen.	R/W	0
VICDefVectAddr	Default Vector Address Register. Registar adrese nevektorskog prekida. Ovaj registar služi za čitanje i pisanje. Ovaj registar sadrži adresu nevektorskog prekida.	R/W	0
VICVectAddr0 - VICVectAddr15	Vector Address 0-15 Register. Registri 0-15 vektora prekida. Ovi registri služe i za čitanje i za pisanje. U ovim registrima se nalaze vektori (početne adrese programa za opsluživanje vektorskih prekida).	R/W	0
VICVectCntl0 - VICVectCnt15	Vector Control 0-15 Register. Kontrolni registri slotova 0-15. Ovi registri služe i za čitanje i za pisanje. Ovih 16 registara služe za povezivanje izvora prekida sa mestima u raspodeli prioriteta (slotovima). Za svaki slot koji će se koristiti se vezuje po jedan izvor.	R/W	0

tabela 2.1

2.1 IRQ statusni registar (VICIRQStatus - RO)

Iz njega se čita stanje ulaza (zahteva za prekid) koji su klasifikovani kao IRQ (i vektorski i nevektorski), dozvoljeni su i desili su se.

Bit	**31**	**30**	**29**	**28**	**27**	**26**	**25**	**24**
Simbol	-	-	-	-	-	-	-	-
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	RO	RO	RO	RO	RO	RO	RO	RO

Bit	Simbol	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	Kada se pročita 1 na određenim bitima znači da su prekidi odgovarajuće periferije klasifikovani kao IRQ, dozvoljeni i desili su se.	0

tabela 2.2

[1] RO – Samo čitaj; WO – Samo piši; R/W – Čitaj i piši

2.2 FIQ statusni registar (VICFIQStatus - RO)

Iz njega se čita stanje ulaza (zahteva za prekid) koji su klasifikovani kao FIQ, dozvoljeni su i desili su se. Ako ima više FIQ zahteva, FIQ servisna rutina iz ovog registra može videti koji su ulazi aktivni.

Bit	**31**	**30**	**29**	**28**	**27**	**26**	**25**	**24**
Simbol	-	-	-	-	-	-	-	-
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	RO	RO	RO	RO	RO	RO	RO	RO

Bit	**Simbol**	**Opis**	**Vrednos posle reseta**
31:0	Videti raspored bitova u predhodnoj tabeli	Kada se pročita 1 na određenim bitima znači da su prekidi odgovarajuće periferije klasificirani kao FIQ, uključeni i desili su se.	0

tabela 2.3

2.3 Opšti (sirovi) statusni registar prekida (VICRawIntr - RO)

Iz ovog registra se čitaju stanja svih 32 ulaza i softverskih prekida, bez obzira da li su dozvoljeni i kako su klasifikovani.

Bit	**31**	**30**	**29**	**28**	**27**	**26**	**25**	**24**
Simbol	-	-	-	-	-	-	-	-
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	RO	RO	RO	RO	RO	RO	RO	RO
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	RO	RO	RO	RO	RO	RO	RO	RO

Bit	**Simbol**	**Vrednost**	**Opis**	**Vrednos posle reseta**
31:0	Videti raspored bitova u predhodnoj tabeli	0	Nema zahteva za prekid ili softverski prekid od oređene periferije.	0
		1	Postoji zahtev za prekid ili softverski prekid	

tabela 2.4

2.4 Registar za izbor klase prekida (VICIntSelect – R/W)

U ovom registru određujemo klasu prekida (FIQ ili IRQ) za svaki od izvora

Bit	31	30	29	28	27	26	25	24
Simbol	-	-	-	-	-	-	-	-
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	0	Zahtev za prekid sa ovim bitom je klasificiran kao IRQ.	0
		1	Zahtev za prekid sa ovim bitom je klasificiran kao FIQ.	

tabela 2.5

2.5 Registar dozvole prekida (VICIntEnable – R/W)

U ovom registru se daje dozvola za izvršavanje prekidima.

Bit	31	30	29	28	27	26	25	24
Simbol	-	-	-	-	-	-	-	-
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit	Simbol	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	Kada se ovaj registar čita, 1 na mestu određenog bita znači da je prekid ili softverski prekid dozvoljen, 0 znači da je zabranjen	0
		Kada se u ovaj registar upisuje, 1 na mestu na mestu određenog bita znači da se prekid ili softverski prekid dozvoljava. Upis 0 nema efekta	

tabela 2.6

2.6 Registar za oduzimanje dozvola (VICIntEnClr - WO)

U ovom registru se oduzima dozvola, koja je dodeljena u VICIntEnab registru.

Bit	31	30	29	28	27	26	25	24
Simbol	-	-	-	-	-	-	-	-
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	WO	WO	WO	WO	WO	WO	WO	WO

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	0	Upisivanje 0 ostavlja taj bit nepromenjen (nema efekta), tj. ne menja se vrednost u VICIntEnable registru.	0
		1	Upisivanjem 1 briše se odgovarajući bit u VICIntEnable registru	

tabela 2.7

2.7 Registar softverskog prekida (VICSoftInt – R/W)

Ovim registrom se može postaviti zahtev za prekid bez obzira na periferiju.

Bit	31	30	29	28	27	26	25	24
Simbol	-	-	-	-	-	-	-	-
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	0	Upisivanje 0 nema nikakvog efekta.	0
		1	Upisivanjem 1 softverski postavljamo zahtev za prekid.	

tabela 2.8

2.8 Registar za brisanje softverskog prekida (VICSoftIntClear - WO)

Ovaj registar služi za ukidanje softverskih prekida.

Bit	31	30	29	28	27	26	25	24
Simbol	-	-	-	-	-	-	-	-
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**23**	**22**	**21**	**20**	**19**	**18**	**17**	**16**
Simbol	-	-	AD1	BOD	I2C1	AD0	EINT3	EINT2
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**15**	**14**	**13**	**12**	**11**	**10**	**9**	**8**
Simbol	EINT1	EINT0	RTC	PLL	SPI1/SSP	SPI0	I2C0	PWM0
Pristup	WO	WO	WO	WO	WO	WO	WO	WO
Bit	**7**	**6**	**5**	**4**	**3**	**2**	**1**	**0**
Simbol	UART1	UART0	TIMER1	TIMER0	ARMCore1	ARMCore0	-	WDT
Pristup	WO	WO	WO	WO	WO	WO	WO	WO

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
31:0	Videti raspored bitova u predhodnoj tabeli	0	Upisivanje 0 ostavlja taj bit nepromenjen (nema efekta), tj. ne menja se vrednost u VICSoftIntEnable registru.	0
		1	Upisivanjem 1 briše se odgovarajući bit u VICSoftIntEnable registru	

tabela 2.9

2.9 Registar za zaštitu (VICProtection – R/W)

Ovim registrom se reguliše da li će pristup VIC registrima biti dozvoljen iz svih načina rada (modova) ili samo iz supervizorsog. Koristi se samo jedan bit.

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
0	VIC_access	0	VIC registri se mogu koristiti iz korisničkog ili supervizorskog moda.	0
		1	VIC registri se mogu koristiti samo iz supervizorskog moda.	
31:1	---	---	Rezervisano. Korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisano

tabela 2.10

2.10 Registar adrese vektorskog prekida (VICVectAddr – R/W)

Ovaj registar sadrži adresu prekida iz klase vektorskih koji će biti sledeći opslužen.

Bit	Simbol	Opis	Vrednos posle reseta
31:0	IRQ_vector	Ako postoje zahtevi za prekid (ili za softverski prekid) klasifikovani kao vektorski IRQ, dozvoljeni su i postavljeni (delisi su se), adresa prekida najvišeg prioriteta smešta se u ovaj registar. Kada primi (i odobri) IRQ (zahtev za prekid), procesor treba da pročita adresu na koju će skočitii odvijanje programa iz ovog registra.	0

tabela 2.11

2.11 Registar adrese nevektorskog prekida. (VICDefVectAddr – R/W)

Ovaj registar sadrži adresu nevektorskih prekida.

Bit	Simbol	Opis	Vrednos posle reseta
31:0	IRQ_vector	Kad izvor prekida koji nije klasifikovan kao vektorski (i nema sopstveni vektor) izazove prekid (postavi zahtev koji procesor odobri), iz ovog registra se čita početna adresa prekidne rutine. Ovo važi za sve izvor klasifikovane kao nevektorski IRQ.	0

tabela 2.12

2.12 Registri vektora prekida (VICVectAddr0 do VICVectAddr15 – R/W)

U ovim registrima (ukupno šesnaest registara) se nalazi šesnaest vektora prekida (početnih adresa prekidnih rutina).

Bit	Simbol	Opis	Vrednos posle reseta
31:0	IRQ_vector	Kada se desi vektorski prekid, iz ovih registara se prenosi početna adresa prekida najvišeg preiriteta u VICVectAddr.	0

tabela 2.13

2.13 Kontrolni registri slotova (VICVectCntl0 do VICVectCntl15 – R/W)

Ovih 16 registara se koriste za dodeljivanje mesta u tabeli prioriteta (slot) izvorima prekida. Tačnije, svakom od šesnaest mesta (slot) se dodeljije izvor koji će se nalaziti na tom mestu. Slot 0 ima najviši prioritet, a slot 15 najniži. Uklanjanjem izvor prekida iz nekog od ovih registara se ne ukida doznola za taj prekid već se samo menja njegova klasa iz vektorskog u nevektorski.

Bit	Simbol	Opis	Vrednos posle reseta
4:0	Int_request/ sw_int_assig	Ovi biti definišu slot pojedinačnih zahteva za prekid. Ne bi trebalo da se jednom prekidu dodeli više slotova, ali ukoliko se to ipak uradi, uzeće se u obzir samo prekid na najnižem slotu (najvišeg prioriteta).	0
5	IRQslot_en	Kada je ovaj bit postavljen na 1, definisani slot je aktivan.	0
31:6	---	Rezervisano. Korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisano

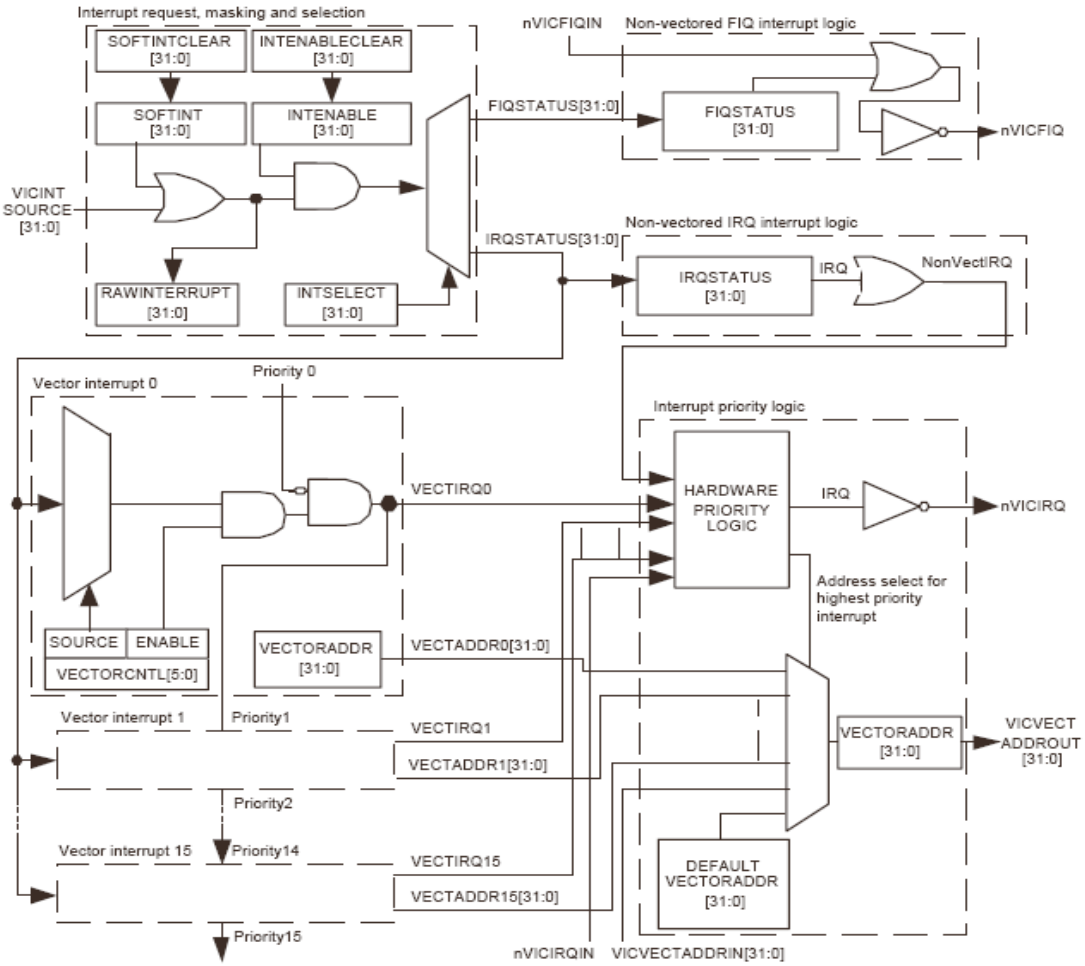
tabela 2.14

3. IZVORI PREKIDA

U sledećoj tabeli su navedeni prekidi svake periferije i svake njene funkcije. Svaka periferija ima po jedan ulaz u VIC (jednu liniju zahteva za prekid), ali može da ima više flegova.

Blok	Flegovi	Broj VIC kanala	hex maska
WDT	Watchdog Interrupt (WDINT)	0	0x0000 0001
---	Rezervisano za softverski prekid	1	0x0000 0002
ARM Core	Embedded ICE, DbgCommRx	2	0x0000 0004
ARM Core	Embedded ICE, DbgCommTx	3	0x0000 0008
TIMER0	Match 0 - 3 (MR0,MR1,MR2,MR3) Capture 0 -3 (CR0,CR1,CR2,CR3)	4	0x0000 0010
TIMER1	Match 0 - 3 (MR0,MR1,MR2,MR3) Capture 0 -3 (CR0,CR1,CR2,CR3)	5	0x0000 0020
UART0	Rx Line Status (RLS) Transmit Holding Register Empty (THRE) Rx Data Avaliable (DRA) Character Time-out Indicator (CTI)	6	0x0000 0040
UART1	Rx Line Status (RLS) Transmit Holding Register Empty (THRE) Rx Data Avaliable (DRA) Character Time-out Indicator (CTI) Modem Status Interrupt (MSI)[1]	7	0x0000 0080
PWM0	Match 0 – 6 (MR0,MR1,MR2,MR3,MR4,MR5,MR6)	8	0x0000 0100
I^2C0	SI (state change)	9	0x0000 0200
SPI0	SPI Interrupt Flag (SPIF) Mode Fault (MODF)	10	0x0000 0400
SPI1 (SSP)	Tx FIFO at least half empty (TXRIS) Rx FIFO at least half full (RXRIS) Receive Timeout condition (RTRIS) Receive overrun (RORRIS)	11	0x0000 0800
PLL	PLL Lock (PLOCK)	12	0x0000 1000
RTC	Counter Increment (RTCCIF) Alarm (RTCALF)	13	0x0000 2000
System Control	External Interrupt 0 (EINT0)	14	0x0000 4000
	External Interrupt 1 (EINT1)	15	0x0000 8000
	External Interrupt 2 (EINT2)	16	0x0001 0000
	External Interrupt 3 (EINT3)	17	0x0002 0000
ADC0	A/D Converter 0 end of conversion	18	0x0004 0000
I^2C1	SI (state change)	19	0x0008 0000
BOD	Brown Out detected	20	0x0010 0000
ADC1	A/D Converter 1 end of conversion[1]	21	0x0020 0000

tabela 3.1

[1] Samo kod LPC2134/6/8

4. ARHITEKTURA