

Tajmeri ARM7 mikrokontrolera lpc2138/lpc2148

**Milan Mijalković
Marko Filipović**

Beograd, maja 2008.

Deo o registrima uredili su Miroslav Krsmanović, Marjan Dumitrašković i Aleksandar Cvetojević.

PERIFERIJA TAJMER/BROJAČ

Tajmer/Brojač je vrlo često korišćena periferija. Skoro svaki mikrokontroler napravljen u skorije vreme ima bar jedan beskonačni brojač, a često se ugrađuje i veći broj složenijih brojača. Uobičajeno se koriste kao osnova za realizaciju drugih, kompleksnijih periferija kao što su: Sat realnog vremena (RTC), Watch dog tajmer (WDT), Impulsno širinska modulacija (PWM)...

Jedan od najvažnijih razloga zbog kojeg se mikrokontroleri koriste u sistemima za ugradnju je njihova sposobnost da izvršavaju zadatke u kojima vreme igra bitnu ulogu. Tu funkcionalnost mikrokontroleru daje upravo Tajmer/Brojač periferija. Merenje vremena je presudno, bilo da se radi o prostim primenama gde se traži uključenje i isključenje uređaja u određeno vreme, bilo da se radi o kompleksnijim primenama gde se traži generisanje složenih signala sa promenljivom širinom impulsa (PWM), na primer, za kontrolu brzine obrtanja motora.

Tajmer/Brojač periferija u mikrokontroleru LPC2138

Mikrokontroler LPC2138 poseduje dve potpuno odvojene i u skoro svemu identične Tajmer/Brojač periferije označene sa „tajmer_0“ i „tajmer_1“. Jedina razlika je u adresama registara. Glavni deo svakog od ova dva ugrađena Tajmer/Brojača je jedan brojački tridesetdvobitni registar (označen sa TC, odnosno T0**TC** i T1**TC**), koji se uvećava za jedan pri svakom impulsu takt-signal dovedenog na njegov ulaz. U ovom poglavlju, za ovaj brojački registar će se koristiti termin „glavni brojač“.

Svi primeri u ovom poglavlju vezani su za periferiju tajmer_0. Oznake registara i nožica (pinova) mikrokontrolera odnose se takođe na ovu periferiju ako drukčije nije naglašeno. Oznake registara periferije tajmer_1 počinju sa T1 (umesto T0). Da bi se naglasilo ime registra, nezavisno od toga za koju je periferiju vezano, imena registara su podebljana u oznaci koja sadrži i prefiks T0 ja jednu, odnosno T1 za drugu periferiju. Kada je tekst opšti, iz razloga jednostavnosti oznake su skraćene samo na ime registra (bez prefiksa).

Takt signal koji se dovodi na ulaz brojača dobija se iz predelitelja čija je uloga da od PR+1 impulsa dovedenih na svoj ulaz, napravi jedan impuls koji će proslediti glavnom brojaču TC. Broj PR određuje programer upisom u odgovarajući registar.

Na ulaz predelitelja može se dovesti interni takt namenjen periferijama, označen sa PCLK (dobijen od sistemskog takta mikroprocesora) ili takt-signal spolja (preko jedne od nožica mikrokontrolera).

Karakteristike

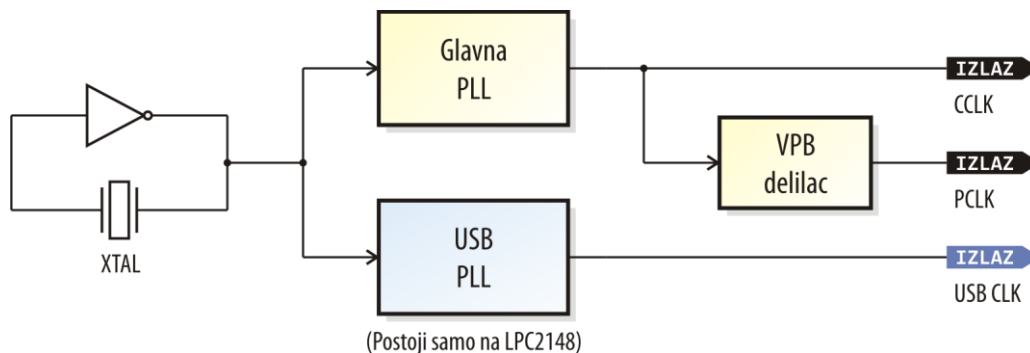
- 32-bitni Tajmer/Brojač sa programabilnim 32-bitnim predeliteljem (*prescaler*)
- Može da radi ili kao Brojač spoljnih događaja ili kao Tajmer
- Do četiri 32-bitna kanala za hvatanje (*Capture channels*) po tajmeru
- Četiri 32-bitna registra za poređenje sa trenutnim stanjem TC. Pri poklapanju vrednosti upisane u neki od ovih registara sa trenutnom vrednošću u TC programer može odabrati jednu od sledećih akcija:
 - Nastavak rada sa opcionim postavljanjem zahteva za prekid.
 - Zaustavljanje brojača sa opcionim postavljanjem zahteva za prekid.
 - Brisanje (*reset*) stanja brojača sa opcionim postavljanjem zahteva za prekid.
- Do četiri „hardverska“ izlaza (nožica mikrokontrolera), funkcionalno vezanih za odgovarajuće registre za poređenje. Za svaki od njih, programer može odabrati jednu od sledećih „hardverskih“ akcija:
 - Postavljanje niskog nivoa signala (logičke nule) u slučaju poklapanja.
 - Postavljanje visokog nivoa signala (logičke jedinice) u slučaju poklapanja.
 - Menjanje zatečenog nivoa signala u slučaju poklapanja.
 - Izostanak bilo kakve promene na izlazima.

Interni takt-signal mikrokontrolera LPC2138

Mikrokontroler LPC2138 koristi dva interna takt-signal: interni takt-signal s kojim radi mikroprocesor (CCLK) i takt-signal namenjen svim periferijama (PCLK), dobijen od CCLK iza delitelja učestanosti VPB (slika 1). Programer bira da li će učestanost PCLK signala biti 4 puta manja (što je podrazumevana vrednost posle reset), 2 puta manja, ili jednaka učestanosti signala CCLK.

Oba interna takt-signal su povorke pravougaonih impulsa strmih ivica sa odnosom impuls-pauza oko 50%.

Glavna zatvorena fazna petlja (PLL) služi da se učestanost ugrađenog oscilatora, označenog sa XTAL, uveća ukoliko to programer želi. Učestanost oscilatora određena je karakteristikama kristala kvarca priključenog na odgovarajuće nožice mikrokontrolera, ali se ovaj polazni signal za generisanje svih taktova može dovesti i spolja (što na slici, iz razloga jednostavnosti, nije prikazano). Detalji se mogu pronaći u poglavlju o sistemskim periferijama.



Slika 1 Izbor ulaznog takt-signalu tajmera/brojača 0

Pored ovih taktova, srodni mikrokontroler LPC2148 ima i poseban takt samo za USB periferiju, generisan u posebno namenjenoj PLL (kao na slici).

Ulazni takt-signal tajmera

Trenutak uvećavanja svih brojača ove periferije određuje neka od ivica signala dovedenog na ulaz brojača. To može biti rastuća (usponska), opadajuća (silazna), ili bilo koja ivica, zavisno od namene. Ivica signala koja izaziva uvećanje stanja brojača naziva se aktivnom. Druga ivica (ona koja nije aktivna) ne menja stanje brojača i njen položaj u ulaznom signalu, u principu, nije od značaja.

Periferije brojačkog tipa o kojima je ovde reč, u različitim mikrokontrolerima mogu raditi sa internim takt-signalima ili sa signalima dovedenim spolja kod kojih aktivne ivice uopšte ne moraju dolaziti u jednakim vremenskim intervalima. Tada se obično kaže da periferija radi kao „brojač spoljnih događaja“ jer aktivne ivice mogu da označavaju dešavanje spoljašnjih događaja koje želimo izbrojati.

Zavisno od tipa mikrokontrolera, pri pojavi aktivne ivice, brojači mogu brojati naviše (uvećavati se) ili naniže (umanjivati se). Smer brojanja može biti određen softverom, ali i „hardvesrki“, u zavisnosti od logičkog nivoa signala dovedenog na posebnu, za to namenjenu, nožicu mikrokontrolera. Postoje i rešenja gde se preko dve nožice dovode dva takt-signalu, jedan za brojanje naviše, drugi, za brojanje naniže.

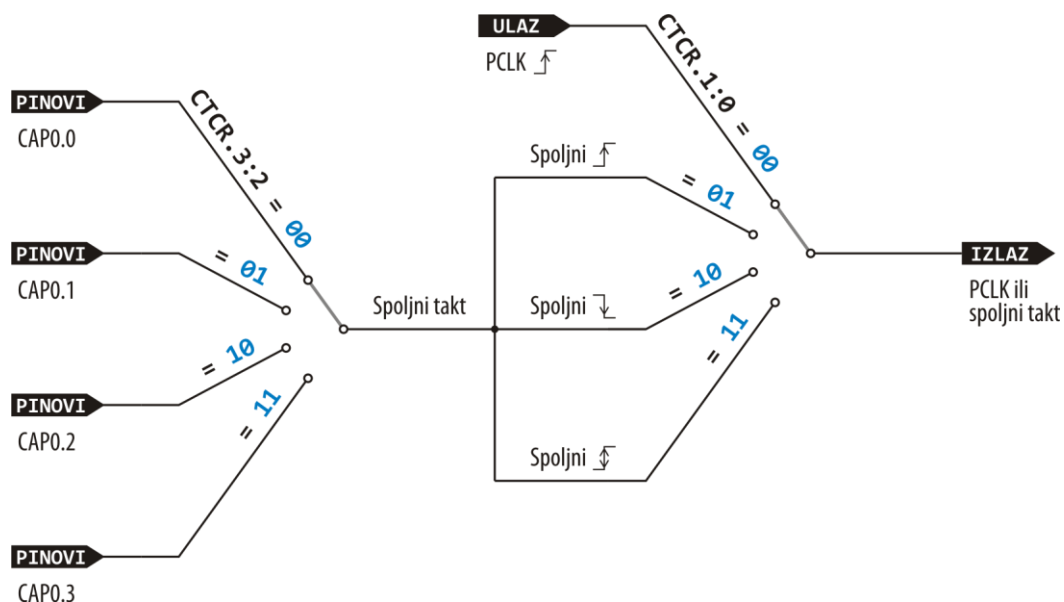
Mikrokontroler LPC2138 nema mogućnost dvosmernog brojanja ali ima mogućnost dovođenja ulaznog signala spolja.

Ulazni takt-signal tajmera/brojača mikrokontrolera LPC2138

Na ulaz tajmera/brojača mikrokontrolera LPC2138 može se dovesti interni takt-signal namenjen periferijama (označen sa PCLK) ili takt-signal spolja. U slučaju korišćenja internog takt-signalu PCLK, aktivna je njegova rastuća ivica.

Da li će ulazni signal biti interni ili spoljašnji, kao i preko koje nožice će se dovesti spoljašnji signal i koja će mu ivica biti aktivna, određuje vrednost koju programer upiše u kontrolni registar označen sa **T0CTCR** kao na slici 2. Na slici je prikazan primer izbora ulaznog signala za periferiju tajmer 0. Kontrolni registar ove periferije pomoću koga se vrši izbor je T0CTCR.

Izbor ulaznog signala za periferiju tajmer/brojač 1 se obavlja upisom u **T1CTCR**, a ulazne nožice u tom slučaju ne bi bile one koje su naznačene na slici.



Slika 2 Izbor ulaznog takt-signalu tajmera/brojača 0

Spoljašnji signali za brojanje događaja ili spoljašnji takt-signal se dovode nekoj od dve Tajmer/Brojač periferije preko jednog od 4 ulaza za Hvatanje (CAP). Ulazi za hvatanje vezani za tajmer 0 su označeni sa CAP0.0 – CAP0.3, a ulazi vezani za tajmer 1, oznakama CAP1.0 – CAP1.3. U jednom trenutku, samo jedan od tih ulaza može biti odabran da bude izvor spoljašnjeg signala i taj ulaz se ne može koristiti za drugu namenu. Ostali CAP ulazi mogu imati bilo koju funkciju.

Brzina dešavanja (učestanost) spoljašnjih događaja koji se mogu uspešno brojati ograničena je na polovinu učestanosti PCLK signala, a trajanje impulsa koje spoljašnji događaji generišu mora biti jednako ili duže od trajanja cele periode perifernog takta (PCLK). Ukoliko oba uslova nisu ispunjena, tumačenje spoljašnjeg signala neće biti korektno.

Razlika između Tajmera i Brojača

Periferija Tajmer/Brojač kao što joj i samo ime kaže, u sebi kombinuje dve funkcije, funkciju Tajmera i funkciju Brojača događaja. U osnovi se koristi ista logika (isti hardver) za implementaciju obe ove funkcije jer, u principu, ove dve periferije i obavljaju isti posao, a to je: brojanje ivica signala koji su dovedeni na ulaz. Razlika je u nameni i u samim dovedenim signalima.

Tajmer (*Timer*)

Broji i pokazuje broj ivica signala na ulazu koje dolaze u konstantnim vremenskim intervalima u cilju merenja proteklog vremena. Kada znamo ukupan broj ivica nekog signala koje su se pojavile na ulazu i znamo frekvenciju (tačnije, periodu) tog signala, prostim množenjem dobijamo vreme koje je proteklo. Tačno merenje vremena je od presudne važnosti za efikasnu kontrolu toka većine procesa. Danas, gotovo svaki računarski sistem, pa i mikrokontroler, ima bar jedan hardverski tajmer. Kako je broj hardverskih tajmera konačan i ograničen, moguće je koristiti jedan hardverski tajmer za implementaciju velikog broja softverskih tajmera (registar koji se programski uvećava po isteku vremena izmerenog hardverskim tajmerom). Rezultat rada tajmera je izmereno trajanje određenog vremenskog intervala, .

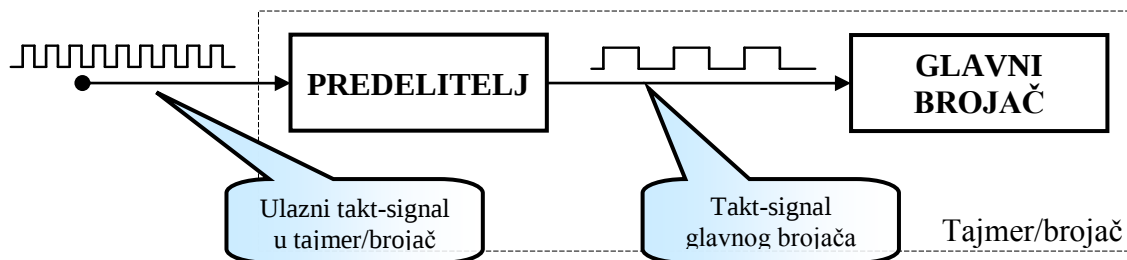
Brojač (*Counter*)

Broji i pokazuje broj događaja bez obzira na to u kom se vremenskom intervalu oni pojavljuju, tj. koliki je razmak između njih. Sa stanovišta ove periferije, događaj na koji je potrebno reagovati je aktivna ivica (rastuća, opadajuća ili obe) ulaznog signala dovedenog na određenu nožicu mikrokontrolera. Signal spoljašnjeg događaja koji se dovodi na ulaz obično potiče od nekog senzora koji može da detektuje najrazličitije događaje kao što su: prolazak ljudi, vozila, proizvoda na nekoj traci. To može biti i broj poziva, impulsa, žetona, punih krugova... Rezultat rada brojača je broj koji pokazuje koliko se puta desio odabrani događaj.

Na mikrokontroleru LPC2138 brojački mod rada kao i aktivni CAP ulaz se bira pomoću [CTCR](#) registra. Tajmer/Brojač za svoj rad koristi 32-bitni TC registar. Ovaj registar se uvećava sve dok ne dostigne maksimalnu vrednost (0xFFFF FFFF) a nakon toga se pri pojavi sledeće aktivne ivice vraća na nulu. Ovaj događaj se u žargonu naziva „premotavanjem“, i sam po sebi se ni po čemu ne razlikuje od bilo kog drugog uvećavanja. Periferija nema nikakvu posebnu informaciju o njemu, ali se, ukoliko je potrebno, jedan od registara za poređenje može iskoristiti za njegovu detekciju.

Predelitelj (*Prescaler*)

Predelitelj je sklop koji se postavlja pre glavnog brojača, i ulazni takt-signal se pre dovođenja na glavni brojač obrađuje u njemu. Obrada se sastoji u tome da se umanjuje broj aktivnih ivica (impulsa) u takt-signalu dovedenom glavnom brojaču u odnosu na broj impulsa u takt-signalu dovedenom na predelitelj (slika 3).



Slika 3 Predelitelj podešen da deli učestanost ulaznog takt-signala sa 3

Na slici je prikazan predelitelj podešen da deli učestanost ulaznog takt signala sa 3. Od tri impulsa na ulazu, dobija se jedan impuls koji se prosleđuje glavnom brojaču. Time je učestanost ulaznog signala podeljena sa 3, odnosno brojač se uvećava tri puta ređe (perioda uvećavanja je tri puta veća) nego da je ulazni takt-signal doveden direktno glavnom brojaču.

Predelitelj je čest sastavni deo periferija brojačkog tipa i najčešće je programabilan, odnosno, programer može u bilo kom trenutku promeniti odnos deljenja učestanosti. Obično se učestanost deli celim brojem koji je u nekim jednostavnijim implementacijama oblika 2^n (2, 4, 8, 16...). Postoje i rešenja u kojima programe bira od svega nekoliko unapred definisanih vrednosti.

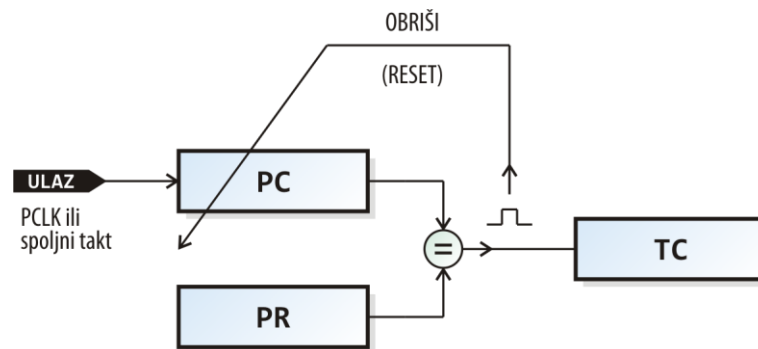
Predelitelji u nekim periferijama koje to zahtevaju (na primer, sat realnog vremena – RTC ili generator takta za asinhroni serijski prenos – UART) podržavaju i deljenje učestanosti brojem koji nije ceo.

Definisanjem odnosa deljenja programer „trguje“ između rezolucije merenja vremena i maksimalnog vremenskog intervala koji se pomoću datog glavnog brojača može izmeriti pre nego dođe do njegovog premotavanja. Na primer, ako se radi o osmobitnom brojaču i ako je ulazni takt-signal periode 1ms (aktivna ivica se pojavljuje svake milisekunde) glavni brojač može da izmeri vremenske intervale od 1ms do 255ms sa rezolucijom od 1ms. Ako se uključi predelitelj koji deli učestanost sa 100, opseg merenja bi bio od 100ms do 25,5s ali sada sa rezolucijom od 100ms. Rezolucija je minimalni vremenski interval za koji se dva merenja mogu razlikovati, odnosno, kada se brojač promeni za jedan (što je minimalno), mereni vremenski interval je veći za rezoluciju merenja.

Druga uloga predelitelja može biti i za obradu (na primer, merenje periode) signala veoma visoke učestanosti kada glavni brojač nije dovoljno brz da bi bio u stanju da radi sa takvim signalima. U mikrokontrolerima se relativno retko sreće ovakva uloga ugrađenih predelitelja.

Predelitelj mikrokontrolera LPC2138

Mikrokontroler LPC2138 može deliti učestanost ulaznog takt-signala bilo kojim celim brojem u granicama od 1 do 2^{32} . Upisom nekog celog broja u registar predelitelja označen sa **T0PR** programer definiše da se ulazni takt-signal deli brojem **PR+1** pri čemu je **PR** broj upisan u **T0PR** registar.



Slika 4 PBlok šeme predeliteljamikrokontrolera LPC2138

Glavni brojač T0**TC** se uvećava za jedan na svakih PR+1 impulsa ulaznog takt-signal. Ako se u T0**PR** registar upiše 0, predelitelj nema funkciju, odnosno, samo prosleđuje takt sa svog ulaza glavnom brojaču T0**TC**. Upisom broja 9 u T0**PR** registar, glavni brojač se uvećava jednom na deset impulsa ulaznog takt signala.

Predelitelj je realizovan pomoću posebnog tridesetdvobitnog „pomoćnog brojača predelitelja“ označenog sa T0**PC** na čiji se ulaz dovodi ulazni takt-signal. Stanje brojača T0**PC** se stalno poredi sa registrom predelitelja T0**PR** i kada se izjednači, predlitelj obriše (resetuje) registar pomoćnog brojača T0**PC**, a glavnom brojaču T0**TC** se prosledi jedan impuls (tačnije, jedna aktivna ivica) tako da se ovaj uveća za jedan (slika 4).

U LPC2138 mikrokontroleru i pomoćni brojač predelitelja (T0**PC**) i preskaler registar (T0**PR**) su 32-bitni registri. Ovo omogućuje deljenje učestanosti ulaznog takt-signal (koji može da bude interni takt (PCLK), ili takt-signal doveden spolja) od odnosa 1:1 do odnosa 1: 4.294.967.296 (2^{32}). Drugim rečima, moguće je povećati opseg glavnog Tajmera/Brojača i do 4,3 milijarde puta, što omogućuje merenje i jako dugih vremenskih intervala.

Podela Tajmera/Brojača

Po složenosti i posedovanju dodatnih funkcija grubo se dele u dve kategorije:

- **Beskonačni Tajmeri/Brojači (Free-running)** - To su specijalni registri čija se vrednost neprekidno uvećava (inkrementira) od nule do maksimuma. Uvećanje se dogodi svaki put kada se na ulaz dovede aktivna (rastuća ili opadajuća) ivica takta. Kada vrednost dostigne maksimum, brojač se vraća na nulu i nastavlja brojanje. Kada se jednom pokrenu, ovi brojači obavljaju prosto brojanje i ništa drugo. Moguće je samo čitanje trenutnog stanja ovog registra bez programskog menjanja sadržaja. Po pravilu, brojanje nije moguće resetovati niti zaustaviti, niti je moguće upisati vrednost u brojač. Trenutno stanje ovih tajmeri se može u svakom trenutku programski očitati bez remećenja ritma brojanja. Iako spadaju u periferije jednostavne konstrukcije i nalaze se i

u najjeftinijim mikrokontrolerima, oni igraju značajnu ulogu u velikoj većini primena. U mikrokontrolerima koji sadrže više složenih perifernih brojačkog tipa, vrlo često se bar jedan kompleksniji brojač opšte namene svede po funkciji na beskonačni tajmer.

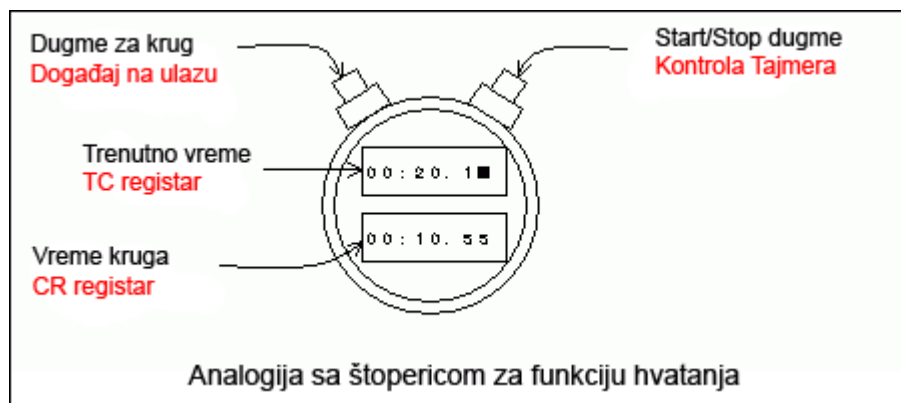
- **Tajmeri/Brojači opšte namene** – Njih je moguće kontrolisati. To su složenije periferije koje je od strane programera moguće podešavati na razne načine. Moguće ih je puniti nekom vrednošću, resetovati (puniti nulom), zaustavljati po potrebi ili određivati smer brojanja (na gore ili na dole). Takođe, kada ovaj tip brojača dostigne neku vrednost, moguće je podesiti generisanje odgovarajućih signala i akcija. Za takt na ulazu se uzima ili neki interni takt-signal ili spoljašnji izvor takta. LPC2138 poseduje brojače ovog tipa.

Dodatne funkcije

Kada se Tajmer/Brojač koristi samo za brojanje, mogućnost primene mu je ograničena. Jedan od načina da se poveća funkcionalnost je i dodavanje jednog ili više dodatnih registra. To mogu biti registar za Poređenje (Match ili Compare) i registar za Hvatanje (Capture). U nekim realizacijama se koriste posebni registri, a u nekim se isti registar naizmenično koristiti za Poređenje i za Hvatanje. Da bi dodatne funkcije Tajmera mogle da se povezuju sa drugim elementima sistema i da na taj način pokreću događaje ili da same budu pokrenute od strane spoljašnjih događaja, potrebno je predvideti i ulazne odnosno izlazne linije.

Kod LPC2138 mikrokontrolera postoje posebni registri za hvatanje, sa oznakom CR i registri za poređenje sa oznakom MR. Takođe, postoji po 4 ulaza i po 4 izlaza za svaki od dva Tajmer/Brojača. Ulazi su CAP n .0 - CAP n .3, a izlazi su MAT n .0 - MAT n .3, gde je n , nula za tajmer_0, a jedinica, za tajmer_1. Ni ulazi ni izlazi nisu direktno povezani na određene nožice mikrokontrolera već njihovo mapiranje (uparivanje) vrši PCB-blok, tačnije, programar upisom u **PINSEL** registre (videti poglavlje o sistemskim periferijama). Svaki ulaz/izlaz može imati jedan ili dva, a u nekim slučajevima i tri pina na koja može biti povezan. Kada je na jedan ulaz (CAP) povezano više različitih pinova koristiće se pin sa najnižim brojem porta, a ako je jedan izlaz (MAT) povezan za više različitih pinova, ti pinovi će funkcionisati paralelno.

Hvatanje (Capture)



Stanje Tajmera koje se po pravilu stalno menja, u trenutku aktiviranja ove funkcije ostaje uhvaćeno (zamrznuto) u posebno namenjenom registru za hvatanje.

Radi lakšeg razumevanja, ovu funkciju možemo zamisliti kao fotografisanje aktivnog sata (štoperice). Kasnijim gledanjem fotografije lako se može utvrditi tačno vreme (stanje štoperice) u trenutku fotografisanja iako su se kazaljke od tada pomerile mnogo puta. Još jedan primer za Hvatanje bi bila štoperica sa dugmetom za merenje vremena po krugu, gde se vreme kruga kompletiranog u trenutku pritiska dugmeta pamti i očitava, dok štoperica nastavlja brojanje za sledeći krug.

Ova funkcija se još naziva i Brzi ulaz (High Speed Input). Ulazom se smatra zbog toga što za aktiviranje uzima signal sa nekog od 4 ulaza za hvatanje (CAP). Brzim se smatra zato što je u potpunosti realizovana u hardveru, tako da može da uhvati vrednost brojača puno preciznije u odnosu na čitanje softverskim putem. Za obavljanje ove funkcije su neophodni registri za Hvatanje (CR). Oni se koriste za smeštanje vrednosti koju Tajmer/Brojač ima u trenutku kada se na ulazu pojavi signal nekog spoljašnjeg događaja.

LPC2138 poseduje po četiri registra ovog tipa za svaki od dva tajmera (T0**CR0**-T0**CR3**). Šta će se pri analizi signala koji je doveden na CAP ulaze smatrati događajem određuje T0**CCR** registar. Moguće je za događaj proglasiti rastuću, opadajuću ili obe ivice.

Odabrani CAP ulazi se odmeravaju prilikom svake rastuće ivice PCLK takta i tek nakon poređenja dva uzastopna uzorka može se identifikovati da li je „rastuća ivica“, „opadajuća ivica“, „bilo koja ivica“ ili „nema promene“ na ulazu. Kao posledicu ovoga imamo da je učestanost spoljašnjih događaja koji se mogu uspešno uhvatiti ograničena na polovinu učestanosti internog takt signala namenjenog periferijama PCLK, a najkraći vremenski interval između dva susedna događaja ne sme biti kraći od dvostruke periode PCLK signala da bi se oba događaja sigurno uhvatila

Poređenje (Match/Compare)



U mikrokontroleru LPS2138, svakom od dva glavna brojača (**T0TC** i **T1TC**), u dve brojač/tajmer periferije, pridružena su po četiri registra za poređenje (**T0MR0** do **T0MR3** i **T1MR0** do **T1MR3**) sa zajedničkom oznakom MR.

Kada se vrednosti promenljivog TC i bilo kog od pridruženih MR registara u jednom trenutku poklope, dolazi do reakcije na odgovarajućem izlazu.

Princip rada je jako sličan budilniku, kod koga se po poklapanju kazaljki javlja zvono kao reakcija. Trenutno stanje glavnog brojača tajmera (TC) odgovara položaju kazaljke koja pokazuje sate, a sadržaj upisan u MR registar, odgovara položaju kazaljke alarma. Principiska razlika u odnosu na klasičan budilnik je u tome što ovaj „budilnik“ ima četiri kazaljke alarma (na primer, jednu za zvono, drugu za pištanje...).

Registar za Poređenje (MR) je unapred podešen i ta vrednost ostaje nepromenjena dok joj se vrednost TC registra približava. Po poklapanju sadržaja ova dva registra, kao i po preklapanju dve kazaljke, dolazi do određene izlazne reakcije. U slučaju sata to je alarm, odnosno zvono, a u slučaju Tajmer/Brojača reakcija je unapred definisani događaj na MAT izlazu.

Za svaki od četiri MR registra (**T0MR0** do **T0MR3**) postoji poseban MAT izlaz (**MAT0.0** do **MAT0.3**). Akcije koje se dešavaju u slučaju poklapanja se takođe definišu posebno za svaki od MR registara.

Ova funkcija se naziva i Brzi izlaz (High Speed Output). Izlazom se smatra zato što se kao rezultat delovanja ove funkcije javlja izlazna reakcija definisana u odgovarajućem kontrolnom registru. Velika brzina je posledica toga što se poređenje obavlja hardverski bez trošenja procesorskog vremena i bez generisanja prekida. Za poređenje je pored Tajmera/Brojača (TC) potreban i registar za poređenje (MR) u koji se smeštaju vrednosti sa kojima se vrši poređenje. Ukoliko se vrednosti poklope, moguće je poslati zahtev za prekidom, postaviti ili promeniti nivo na izlazu, resetovati ili zaustaviti tajmer.

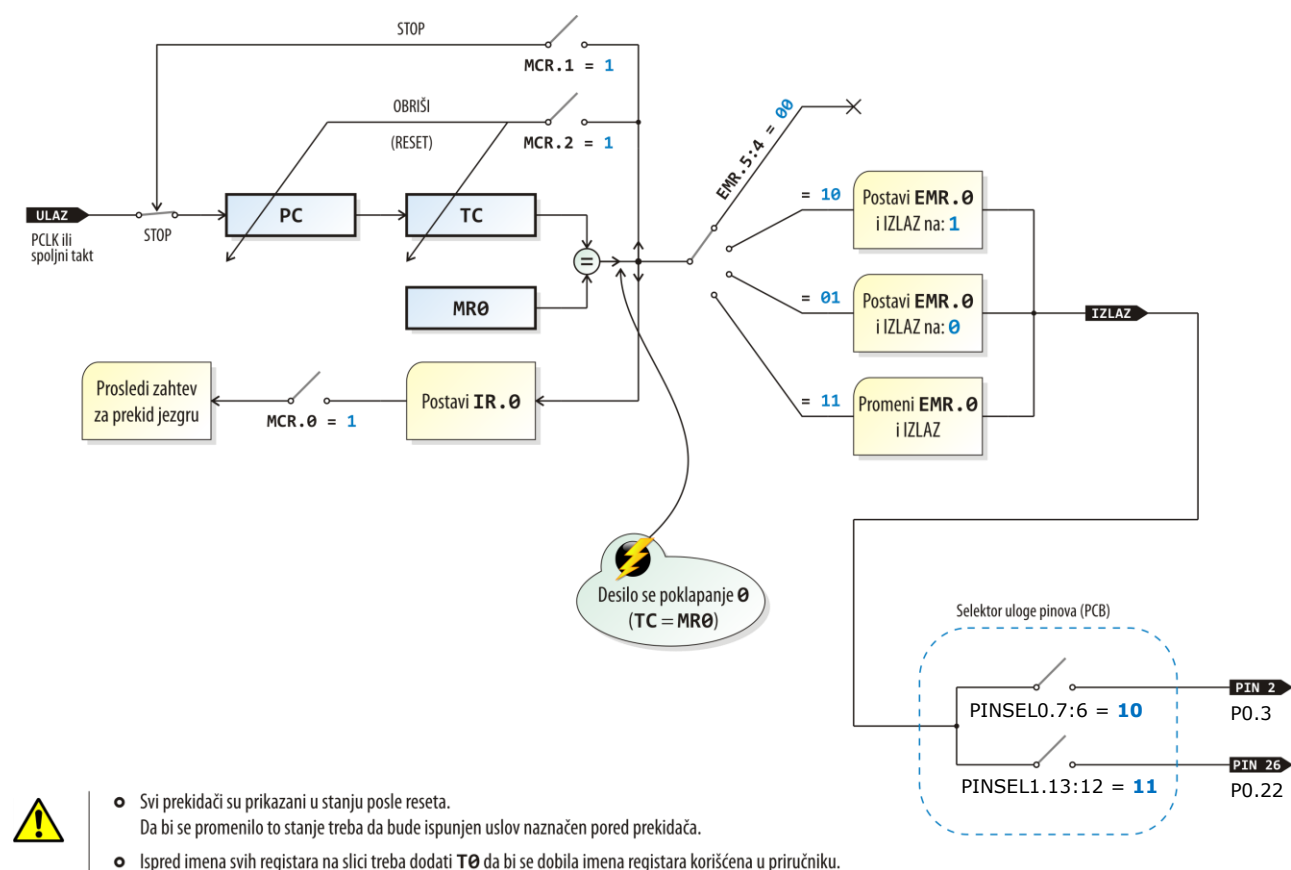
Na LPC2138 mikrokontroleru funkcija Poređenja se zove Match i za njeno obavljanje su predviđena po četiri registra u svakom od dva tajmera (**T0MR0**-

T0MR3). Postoje i po četiri izlaza za svaki od dva tajmera (MAT0.0-MAT0.3). Kada su vrednosti u TC i MR jednake, odgovarajući MAT izlaz može da reaguje na četiri načina, a koji će način to biti definisano je u EMR registru. Izlaz može da: postane logička 0, logičko 1, da promeni prethodno stanje (Toggle) ili da ne odreaguje. Svaka od ovih reakcija se može smatrati događajem koji dalje može da izazove druge događaje. Moguće je preko četiri različita MAT izlaza izazvati četiri različita događaja istovremeno.

Poređenje glavnog brojača tajmera_0 sa T0MR0

Na sledećoj blok-šemi je primer funkcije poređenja glavnog brojača tajmera_0 sa jednim od registara poređenja (T0MR0). Postoji ukupno četiri ovakva registra i uz svaki od njih isti ovakav hardver, s tim da svaki od registara T0MR0 do T0MR3 poredi svoju vrednost sa jedinstvenim registrom brojača (T0TC).

U drugoj, nezavisnoj periferiji (tajmer_1), takođe postoje četiri registra poređenja T1MR0 do T1MR3 sa čijim se sadržajem poredi trenutno stanje glavnog brojača T1TC.



Slika 5 Blok šema funkcije poređenja glavnog brojača tajmera_0 sa registrom MR0 mikrokontrolera LPC2138

Oznake pojedinačnih bita u kontrolnim registrima koje su prikazane na slici 5 odnose se na blok poređenja 0 (poređenje sa T0MR0). Kada se vrednost u brojaču T0TC (koja se periodično uvećava sa taktom iz predelitelja T0PC)

poklopi sa vrednošću u registru TOMR0 (koju programer upisuje unapred), taj događaj se naziva „poklapanje_0”.

U trenutku kada se desi poklapanje_0 dogodiće se sledeće:

- Postaviće se bit 0 u registru prekida T0IR (T0IR.0 ↑). Cilj postavljanja ovog bita je da periferija pripremi informaciju o uzroku eventualnog zahteva za prekid. Zahtev za prekid se može (ali ne mora) proslediti jezgru, zavisno od potreba programera (videti sledeći paragraf).
- Bit 0 u registru spoljnog poklapanja EMR (T0EMR.0) će se ili obrisati (T0EMR.0 ↓), ili postaviti (T0EMR.0 ↑), ili promeniti (T0EMR.0 ↓), zavisno od vrednosti kontrolnih bita upisanih u T0EMR.4 i T0EMR.5. Ova akcija može i izostati ako su oba pomenuta kontrolna bita imaju vrednost 0. Svrha ove akcije je softverska informacija da se poklapanje desilo. Programer može koristiti ovu informaciju u drugim programima.

Pored ovih akcija, u trenutku poklapanja_0, zavisno od stanja kontrolnih bita u registrima MCR i EMR može se desiti i sledeće:

- Proslediti zahtev za prekid jezgru mikroprocesora ako je T0MCR.0=1.
- Resetovati brojač (T0TC ← 0) i predelitelj (T0PC ← 0) ako je T0MCR.1=1.
- Zaustaviti brojač i predelitelj u stanju u kome su se zatekli ako je T0MCR.2=1.
- Generisati rastuću ivicu na nožici P0.3 (**P0.3** ↑) ako T0EMR.5:4=10¹, a ta nožica odabrana u PCB registrima (PINSEL0.7:6 = 10) kao izlaz *match* periferije. Pored ove „hardverske” akcije, pod istim uslovima, postavlja se i bit 0 u registru spoljnog poklapanja (T0EMR.0 ↑), kao „softverska” informacija.
 - Generisati rastuću ivicu na nožici P0.22 (**P0.22** ↑) pod istim uslovima ako je ova nožica odabrana u PCB registrima kao izlaz *match* periferije (PINSEL1.13:12 = 11).
- Generisati opadajuću ivicu na nožici P0.3 (**P0.3** ↓) ako T0EMR.5:4=01, a ta nožica odabrana u PCB registrima kao izlaz *match* periferije (PINSEL0.7:6 = 10). Pored ove „hardverske” akcije, pod istim uslovima, briše se i bit 0 u registru spoljnog poklapanja (T0EMR.0 ↓), kao „softverska” informacija.
 - Generisati opadajuću ivicu na nožici P0.22 (**P0.22** ↓) pod istim uslovima ako je ova nožica odabrana u PCB registrima (PINSEL1.13:12 = 11) kao izlaz *match* periferije.
- Promeniti stanje na nožici P0.3 (**P0.3** ↓) ako T0EMR.5:4=11, a ta nožica odabrana u PCB registrima kao izlaz *match* periferije (PINSEL0.7:6 = 10). Pored ove „hardverske” akcije, pod istim uslovima, menja se i stanje bita 0 u registru spoljnog poklapanja (T0EMR.0 ↓), kao „softverska” informacija.
 - Promeniti stanje na nožici P0.22 (**P0.22** ↓) pod istim uslovima ako je ova nožica odabrana u PCB registrima (PINSEL1.13:12 = 11) kao izlaz *match* periferije.

¹ T0EMR.5:4=10 znači da je bit 5 registra T0EMR jedinica, a bit 4 ovog registra nula.

Tabela događaja koji mogu da se dese kod poklapanja_0

	događaj	uslov
1	T0IR.0 ↑	- (uvek se dešava kod poklapanja_0)
2	Zahtev za prekid od T0 (i T0IR.0↑)	T0MCR.0=1
3	Obriši T0TC i T0PC	T0MCR.1=1
4	Zaustavi T0TC i T0PC	T0MCR.2=1
5	T0EMR.0 ↓	T0EMR.5:4=11
6	T0EMR.0 ↑	T0EMR.5:4=01
7	T0EMR.0 ↓	T0EMR.5:4=10
8	pin P0.3 ↓ (i T0EMR.0↓)	T0EMR.5:4=11 i PINSEL1.5:4=11
9	pin P0.22 ↓ (i T0EMR.0↓)	
10	pin P0.3 ↑ (i T0EMR.0↑)	T0EMR.5:4=01 i PINSEL1.5:4=11
11	pin P0.22 ↑ (i T0EMR.0↑)	
12	pin P0.3 ↓ (i T0EMR.0↓)	T0EMR.5:4=10 i PINSEL1.5:4=11
13	pin P0.22 ↓ (i T0EMR.0↓)	

U tabeli su, kao i u tekstu ispred, plavom bojom označene binarne cifre. Podebljanim slovima označene su „hardverske promene“, odnosno promene logičkih stanja (naponskih nivoa) na odgovarajućim nožicama mikrokontrolera. Na primer, događaj **P0.3**↓ znači da će logički nivo na nožici čipa koja se u šemama označava sa P0.3 (u kućištu sa 64 nožice, to je nožica broj 26), posle ovog događaja biti nula, nezavisno od toga da li je pre događaja bio nula ili jedinica.

Događaji 1 do 4 ne isključuju jedan drugi (sva četiri se mogu desiti istovremeno) dok za događaje 5, 6 i 7 važi da se može desiti samo jedan iz te grupe

Tabela, kao i tekst ispred se odnosi samo na „poređenje_0“.

Statusni i kontrolni biti EMR i MCR registara

Registar EMR (T0EMR) poseduje dva kontrolna bita koji se odnose na „poređenje_0“. To su biti broj 4 i 5, i upisivanjem u ta dva bita, programer definiše šta će se desiti u slučaju „poklapanja_0“.

Ovaj registar (T0EMR) sadrži i statusni bit vezan za „poređenje_0“ (bit broj 0) i on je „softverska slika“ stanja na hardverskom izlazu. Programer može očitavanjem ovog statusnog bita da proveri logičko stanje na hardverskom izlazu, čak i ako taj izlaz nije fizički vezan za nožicu (u slučaju da se nožica koristi kao GPIO ili za vezu sa nekom drugom periferijom).

Na poređenje_0 odnose se i kontrolni biti broj 0, 1 i 2 registra T0MCR (T0MCR.2:0). Upisom u njih programer određuje da li će se pri poklapanju_0 brojači obrisati, zaustaviti i da li taj događaj treba da postavi zahtev za prekid ili ne.

Statusni bit „zahtev za prekid“ od poklapanja_0 nalazi se u registru T0IR na mestu bita 0.

Kontrolni i statusni biti u registrima koji se odnose na ostala poklapanja (tačnije na poklapanja stanja registara MR1, MR2 i MR3 sa stanjem TC registra), prikazani su u sledećoj tabeli:

Tabela statusnih i kontrolnih bita različitih poklapanja

	KONTROLNI biti	STATUSNI biti		
	T0EMR	T0EMR	T0MCR	T0IR
Poklapanje_0	4, 5	0	0,1,2	0
Poklapanje_1	6,7	1	3,4,5	1
Poklapanje_2	8,9	2	6,7,8	2
Poklapanje_3	10,11	3	9,10,11	3

Prethodna tabela se odnosi na poklapanja u periferiji tajmer 0. Kompletna priča važi i za poklapanje u tajmeru 1. U tom slučaju, sva imena registara u tekstu i tabelama, koja počinju sa T0 (T0xxxx), treba zameniti sa T1 (T1xxxx).

TAJMER / BROJAČ opis pinova i registara

1. OPIS PINOVA

Periferije tajmer/brojač koriste ukupno 16 nožica mikrokontrolera, po osam za tajmer_1 i tajmer_2. Četiri ulazne nožice namenjene su bloku za hvatanje, a četiri izlazne, bloku za poređenje u obe periferije.

Pin*	Tip	Opis
CAP0.3 CAP0.2 CAP0.1 CAP0.0 CAP1.3 CAP1.2 CAP1.1 CAP1.0	Ulaz	<i>Capture Signals.</i> Ulazi signala za „hvatanje“. Pin može biti konfigurisan tako da u registar hvatanja upiše trenutnu vrednost tajmera i opciono postavi zahtev za prekid. Više pinova se može koristiti za jedan ulaz. Ukoliko se više pinova koristi za jedan ulaz (kanal na tajmeru), pin sa najmanjim brojem porta će se koristiti. Npr. ako su za funkciju CAP0.2 izabrani pinovi 30(P0.6) i 46(P0.16), tajmer će koristiti samo pin 30 za funkciju CAP0.2. CAP0.0 (3 pina): P0.2, P0.22 i P0.30 CAP0.1 (2 pina): P0.4 i P0.27 CAP0.2 (3 pina): P0.6,P0.16 i P0.28 CAP0.3 (1 pin): P0.29 CAP1.0 (1 pin): P0.10 CAP1.1 (1 pin): P0.11 CAP1.2 (2 pina): P0.17 i P0.19 CAP1.3 (2 pina): P0.18 i P0.21 CAP0 signali su vezani za TIMER0 CAP1 signali su vezani za TIMER1 Tajmer/brojač može koristiti sve ove pinove kao izvor takta umesto PCLK.
MAT0.3 MAT0.2 MAT0.1 MAT0.0 MAT1.3 MAT1.2 MAT1.1 MAT1.0	Izlaz	<i>External Match Output 0/1.</i> Izlazi bloka poređenja (za tajmer 0 i 1). Kada se vrednost registra poklapanja (MR) izjednači sa vrednošću tajmera ovi izlazi mogu da: promene stanje, pređu u nisko, pređu u visoko stanje ili da ne rade ništa. Registar spoljašnjeg poklapanja (EMR) upravlja ovim izlazima. Više pinova paralelno se može koristiti za jedan izlaz. MAT0.0 (2 pina): P0.3, P0.22 MAT0.1 (2 pina): P0.5 i P0.27 MAT0.2 (2 pina): P0.16 i P0.28 MAT0.3 (1 pin): P0.29 MAT1.0 (1 pin): P0.12 MAT1.1 (1 pin): P0.13 MAT1.2 (2 pina): P0.17 i P0.19 MAT1.3 (2 pina): P0.18 i P0.20 MAT0 signali su vezani za TIMER0 MAT1 signali su vezani za TIMER1.

tabela 1.1 - PINOVI

* Većina nožica (pinova) mikrokontrolera ima više (do četiri) uloga. Jedna od uloga je, po pravilu, GPIO (digitalni ulaz/izlaz opšte namene) dok su ostale tri uloge ulazni ili izlazni signali ugrađenih periferija. U jednom trenutku, nožici se može dodeliti samo jedna uloga i to čini programer upisom u PINSEL registre. U literaturi se obično, kao osnovna oznaka nožice, ne koristi njen broj (jer brojevi variraju zavisno od kućišta), već oznaka GPIO porta. Na primer, nožica sa oznakom P0.22 (broj 11 u kućištu sa 64 nožice) ima kao osnovnu ulogu GPIO, port0, bit 22, a može joj se dodeliti i uloga jednog od ulaznih signala bloka za hvatanje periferije tajmer0 (CAP0.0), ili uloga jednog od ulaznih signala (kanal 7) analogno-digitalnog konvertora 1 (AD1.7). Ista nožica može da posluži i kao jedan od izlaza bloka poređenja periferije tajmer_0 (MAT0.0). U dokumentu sa podacima (*data sheet*), ova nožica je označena sa P0.22/AD1.7/CAP0.0/MAT0.0

2. OPIS REGISTRARA

Generalno ime	Opis	Pristup ^[1]	Vrednost posle reseta	Tajmer / brojač 0 ime	Tajmer / brojač 1 ime
<u>IR</u>	<i>Interrupt Register.</i> Registar prekida. Iz ovog registra se može pročitati za koji od osam izvora prekida postoji zahtev. Upisivanjem u ovaj registar se mogu obrisati zahtevi za prekid.	R/W	0	T0IR	T1IR
<u>TCR</u>	<i>Timer Control Register.</i> Kontrolni registar tajmera. Ovaj registar se koristi za određivanje funkcije registra vrednosti brojača (TC). Ovim registrom se može isključiti ili ponovo uključiti TC.	R/W	0	T0TCR	T1TCR
<u>CTCR</u>	<i>Count Control Register.</i> Kontrolni registar brojača. Ovaj registar služi za izbor načina rada tajmera, a u brojačkom modu i za izbor pina i ivice brojanja.	R/W	0	T0CTCR	T1CTCR
<u>TC</u>	<i>Timer Counter.</i> Registar glavnog brojača. 32-bitna vrednost ovog registra se uvećava svaki put kad predelitelj dostigne zadatu vrednost. Ovim registrom se upravlja preko TCR registra.	R/W	0	T0TC	T1TC
<u>PR</u>	<i>Prescale Register.</i> Registar predelitelja. Kada se vrednost pomoćnog brojača predelitelja (PC) izjednači sa ovom vrednošću, na sledećem taktu će se uvećati TC i obrisat sadržaj pomoćnog brojača predelitelja PC.	R/W	0	T0PR	T1PR
<u>PC</u>	<i>Prescale Counter.</i> Registar trenutne vrednosti brojača predelitelja. 32-bitna vrednost ovog registra se uvećava do vrednosti naznačene u PR registru. Kada se ta vrednost dostigne TC se uveća i PC se resetuje. Ovom registru se može pristupiti programski.	R/W	0	T0PC	T1PC
<u>MR0-3</u>	<i>Match Register 0-3.</i> Registri poklapanja 0-3. Ovi registri se mogu aktivirati MCR registrom. Kada se njihova vrednost poklopi sa TC mogu da resetuju TC, zaustave TC i PC i/ili da postavljaju zahtev za prekid.	R/W	0	T0MR0-3	T1MR0-3
<u>MCR</u>	<i>Match Control Register.</i> Kontrolni registar poklapanja. Ovim registrom se određuje da li će se postaviti zahtev za prekid i da li se TC resetuje kada se poklapanje desi.	R/W	0	T0MCR	T1MCR
<u>CR0-3</u>	<i>Capture Register 0-3.</i> Registri „hvatanja“ 0-3. U ove registre se upisuje vrednost TC registra kada se desi događaj na odgovarajućem CAP pinu.	RO	0	T0CR0-3	T1CR0-3
<u>CCR</u>	<i>Capture Control Register.</i> Kontrolni registar „HVATANJA“. Ovim registrom se definiše na koju ivicu se vrednost upisuje u CR i da li da se generiše zahtev za prekid.	R/W	0	T0CCR	T1CCR
<u>EMR</u>	<i>External Match Register.</i> Statusno-kontrolni registar izlaza. Ovim registrom se definiše ponašanje izlaza MAT 0-3, a stusni deo registra sadrži informaciju o trenutnom stanju ovih izlaza, nezavisno da li su izlazi vezani za pinove.	R/W	0	T0EMR	T1EMR

tabela 2.1 - REGISTRI

^[1] RO – Samo za čitanje; WO – Samo za upis; R/W – I za čitanje i za upis

2.1 REGISTAR PREKIDA IR (T0IR i T1IR) – R/W

Ovaj registar sadrži četiri bita zahteva za prekid bloka poređenja (MAT) i četiri bita zahteva za prekid bloka hvatanja (CAP). Ako se zahteva prekid, odgovarajući bit u ovom registru će biti 1, u suprotnom će biti 0. Upisivanje logičke jedinice u odgovarajući bit IR registra će postaviti zahtev za prekid, a upis nule nema efekta.

Bit	Simbol	Opis	Vrednost posle reseta
0	<i>MR0 Interrupt</i>	Fleg prekida na kanalu poklapanja 0.	0
1	<i>MR1 Interrupt</i>	Fleg prekida na kanalu poklapanja 1.	0
2	<i>MR2 Interrupt</i>	Fleg prekida na kanalu poklapanja 2.	0
3	<i>MR3 Interrupt</i>	Fleg prekida na kanalu poklapanja 3.	0
4	<i>CR0 Interrupt</i>	Fleg prekida za događaj na kanalu hvatanja 0.	0
5	<i>CR1 Interrupt</i>	Fleg prekida za događaj na kanalu hvatanja 1.	0
6	<i>CR2 Interrupt</i>	Fleg prekida za događaj na kanalu hvatanja 2.	0
7	<i>CR3 Interrupt</i>	Fleg prekida za događaj na kanalu hvatanja 3.	0

tabela 2.2 - IR

2.2 KONTROLNI REGISTAR TAJMERA TCR (T0TCR i T1TCR) – R/W

Ovaj registar se koristi za brisanje i/ili zaustavljanje brojača.

Bit	Simbol	Opis	Vrednost posle reseta
0	Brojanje uključeno	Kada ima vrednost 1, TC i PC su uključeni za brojenje. Kada ima vrednost 0, TC i PC su isključeni (ne broje).	0
1	Brisanje brojača	Upis jedinice briše TC i PC. Brojanje ne počinje sve dok je TCR.1 = 1.	0
7:2	---	Rezervisano, korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisana

tabela 2.3 - TCR

2.3 KONTROLNI REGISTAR BROJAČA CTCR (T0CTCR i T1CTCR) – R/W

Ovaj registar služi definiše da li će periferija raditi kao tajmer ili kao brojač, a ukoliko je izabrano da radi kao brojač, ovim registrom se bira nožica gde se dovodi takt i definiše aktivna ivica.

Kada je izabran rad kao brojač, CAP ulaz (određen CTCR bitovima 3:2) se očitava na svakoj uzlaznoj ivici PCLK takta. Posle poređenja dva uzastopna odbirka, nastaje jedan od sledećih događaja: uzlazna ivica, silazna ivica, bilo koja

ivica ili nema promene na izabranom CAP ulazu. Samo ako se dagađaj poklopi sa onim koji je definisan bitima 1:0 u CTCR registru, vrednost brojača će se uvećati.

Brojač koji dobija takt sa spoljašnjeg takta ima određena ograničenja zbog toga što su potrebne dve uzastopne uzlazne ivice PCLK takta da bi se odredila jedna ivica na izabranom CAP ulazu, učestanost na CAP ulazu ne sme da pređe polovinu učestanosti PCLK takta. Trajanje visokog/niskog nivoa na tom CAP ulazu ne sme biti kraće od periode PCLK.

Bit	Simbol	Vrednost	Opis	Vrednost posle reseta
1:0	Način rada Tajmera/ brojača		Ovim delom registra se određuje način rada i aktivna ivica ulaznog takt-signal.	00
		00	Periferija radi kao <u>tajmer</u> ; aktivna je <u>rastuća</u> ivica PCLK	
		01	Periferija radi kao <u>brojač</u> ; aktivna je <u>rastuća</u> ivica signala dovedenog na CAP ulaz određen bitima 3:2.	
		10	Periferija radi kao <u>brojač</u> ; aktivna je <u>opadajuća</u> ivica signala dovedenog na CAP ulaz određen bitima 3:2.	
		11	Periferija radi kao <u>brojač</u> ; aktivna je <u>svaka</u> ivica signala dovedenog na CAP ulaz određen bitima 3:2.	
3:2	Izbor ulaza spoljašnjeg takt signala		Kada periferija radi kao brojač, ovi biti određuju pin na koji se dovodi takt-signal. (<i>n</i> je 0 za tajmer_0, a 1 za tajmer_1)	00
		00	CAP _n .0	
		01	CAP _n .1	
		10	CAP _n .2	
		11	CAP _n .3	
			Napomena: Ako se neki CAP ulaz u ovom registru definiše kao ulaz takt-signal brojača, on se ne može koristiti kao ulaz CAP-bloka i tri kontrolna bita u CCR registru, vezana za taj ulaz, <u>moraju biti 000</u> . Ostali CAP ulazi se mogu koristiti kao ulazi bloka za hvatanje.	
7:4	---	---	Rezervisano, korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisana

tabela 2.4 - CTCR

2.4 REGISTAR GLAVNOG BROJAČA TC (T0TC i T1TC) – R/W

32-bitna vrednost ovog registra se uvećava svaki put kada predelitelj dostigne zadatu vrednost. Ukoliko se ne programski ne obriše pre maksimalne vrednosti, TC će brojati do vrednosti 0xFFFF FFFF, pa ponovo od 0x0000 0000. Ovo premotavanje periferija ničim ne signalizira ali se može detektovati korišćenjem bloka poređenja.

2.5 REGISTAR PREDELITELJA PR (T0PR i T1PR) – R/W

Ovaj 32-bitni registar određuje maksimalnu vrednost do koje će doći pomoćni brojač predelitelja (PC) i time određuje sa kojim vrednošću će se podeliti učestanost ulaznog takt-signal da bi se dobio takt-signal koji se dovodi glavnom brojaču (TC). Faktorom pre-deljenja učestanosti ulaznog takt-signal se trguje

između rezolucije tajmera i maksimalnog vremena pre kojeg dolazi do prekoračenja tajmera (premotavanja). PC uvećava svaka aktivna ivica ulaznog takt-signal. Kada se dostigne vrednost definisana u registru predelitelja PR, pomoćni brojač PC se briše (briše ga prva sledeća aktivna ivica), a TC se uvećava za jedan. To znači da će faktor deljenja biti 1 (svaka aktivna ivica ulaznog takt-signal će uvećati TC) kada je u redistar PR upisana nula, a ako se u PR registar upiše broj x , faktor deljenja će biti $x + 1$.

2.6 REGISTAR TRENUTNE VREDNOSTI BROJAČA PREDELITELJA PC (T0PC i T1PC) – R/W

Ovaj 32-bitni registar u svakom trenutku sadrži trenutnu vrednost pomoćnog brojača predelitelja. Svaka ivica ulaznog takt-signal uvećava ga od nule (što je vrednost posle reset) do vrednosti upisane u PR registar, kada se ovaj brojač briše (vraća na nulu), a glavni brojač (TC) uvećava za jedan.

2.7 REGISTRI POREĐENJA MR0-MR3 (T0MR0-T0MR3 i T1MR0-T1MR3) – R/W

Vrednosti ovih registara stalno se upoređuju sa vrednošću glavnog brojača tajmera. Kada se ove dve vrednosti poklope, prethodno definisani događaj se može automatski pokrenuti. Taj događaj može biti: generisanje zahteva za prekid, brisanje sadržaja brojača ili zaustavljanje brojača. Ovim događajima se upravlja preko odgovarajućeg kontrolnog registra poklapanja (MCR).

2.8 KONTROLNI REGISTAR POKLAPANJA MCR (T0MCR i T1MCR) – R/W

Ovim registrom se definišu događaji koji se dešavaju prilikom izjednačavanja vrednosti jednog od registara poklapanja MR0-3 i vrednosti odgovarajućeg glavnog brojača.

Bit	Simbol	Vrednost	Opis	Vrednos posle reseta
0	MR0I	0	Bez zahteva za prekid kod poklapanja_0.	0
		1	Prekid kod poklapanja_0: zahtevaće se prekid kada se vrednost MR0 poklopi sa TC.	
1	MR0R	0	Opcija isključena.	0
		1	Brisanje kod poklapanja_0: TC i PC će se obrisati kad se MR0 poklopi sa TC.	
2	MR0S	0	Opcija isključena.	0
		1	Stop kod poklapanja_0: TC i PC će stati sa brojenjem i TCR.0 će postati 0 kada se TC poklopi sa MR0.	
3	MR1I	0	Bez zahteva za prekid kod poklapanja_1.	0
		1	Prekid kod poklapanja_0: zahtevaće se prekid kada se vrednost MR1 poklopi sa TC.	

4	MR1R	0	Opcija isključena.	0
		1	Brisanje kod poklapanja_1: TC i PC će se obrisati kad se MR1 poklopi sa TC.	
5	MR1S	0	Opcija isključena.	0
		1	Stop kod poklapanja_1: TC i PC će stati sa brojenjem i TCR.0 će postati 0 kada se TC poklopi sa MR1.	
6	MR2I	0	Bez zahteva za prekid kod poklapanja_2.	0
		1	Prekid kod poklapanja_2: zahtevaće se prekid kada se vrednost MR2 poklopi sa TC.	
7	MR2R	0	Opcija isključena.	0
		1	Brisanje kod poklapanja_2: TC i PC će se obrisati kad se MR2 poklopi sa TC.	
8	MR2S	0	Opcija isključena.	0
		1	Stop kod poklapanja_2: TC i PC će stati sa brojenjem i TCR.0 će postati 0 kada se TC poklopi sa MR2.	
9	MR3I	0	Bez zahteva za prekid kod poklapanja_3.	0
		1	Prekid kod poklapanja_3: zahtevaće se prekid kada se vrednost MR3 poklopi sa TC.	
10	MR3R	0	Opcija isključena.	0
		1	Brisanje kod poklapanja_3: TC i PC će se obrisati kad se MR3 poklopi sa TC.	
11	MR3S	0	Opcija isključena.	0
		1	Stop kod poklapanja_3: TC i PC će stati sa brojenjem i TCR.0 će postati 0 kada se TC poklopi sa MR3.	
15:12	---		Rezervirano. Korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisana

tabela 2.5 - MCR

2.9 REGISTRI HVATANJA CR0 – CR3 (T0CR0-T0CR3 i T1CR0-T1CR3) – RO

Svaki od osam registara hvatanja (po četiri za tajmer_0 i tajmer_1) dodeljen je pinovima CAP0.0-CAP0.3 i CAP1.0-CAP1.3 i u ove registre će, kada je hvatanje uključeno, hardver periferije (bez potrebe za učešćem softvera) upisati vrednosti trenutnu vrednost glavnog brojača u trenutku određenog događaja na odgovarajućem pinu. Događaj je aktivna ivica u signalu dovedenom na taj pin. Da li je funkcija hvatanja uključena i ako jeste, koja ivica je aktivna, definiše se u kontrolnim registru hvatanja (CCR).

2.10 KONTROLNI REGISTAR HVATANJA CCR (T0CCR i T1CCR) – R/W

Ovim registrom se definiše da li će se u registar hvatanja upisati vrednost glavnog brojača tajmera kada se određeni događaj desi i da li će se tada generisati zahtev za prekid. Ukoliko je potrebno da obe ivice budu aktivne (predstavljaju događaj) treba postaviti oba kontrolna bita.

Bit	Simbol	Vrednost	Opis	Vrednost posle reseta
0	CAP0RE	0	Opcija isključena.	0
		1	Hvatanje na uzlaunoj ivici na CAPn.0: sekvenca 0 – 1 na CAPn.0 će upisati vrednost TC u CR0.	
1	CAP0FE	0	Opcija isključena.	0
		1	Hvatanje na silaznoj ivici na CAPn.0: sekvenca 1 – 0 na CAPn.0 će upisati vrednost TC u CR0.	
2	CAP0I	0	Opcija isključena.	0
		1	Zahtev za prekid na događaj na CAPn.0: prilikom upisivanja u CR0 zahtevaće se prekid.	
3	CAP1RE	0	Opcija isključena.	0
		1	Hvatanje na uzlaunoj ivici na CAPn.1: sekvenca 0 – 1 na CAPn.1 će upisati vrednost TC u CR1.	
4	CAP1FE	0	Opcija isključena.	0
		1	Hvatanje na silaznoj ivici na CAPn.1: sekvenca 1 – 0 na CAPn.1 će upisati vrednost TC u CR1.	
5	CAP1I	0	Opcija isključena.	0
		1	Zahtev za prekid na događaj na CAPn.1: prilikom upisivanja u CR1 zahtevaće se prekid.	
6	CAP2RE	0	Opcija isključena.	0
		1	Hvatanje na uzlaunoj ivici na CAPn.2: sekvenca 0 – 1 na CAPn.2 će upisati vrednost TC u CR2.	
7	CAP2FE	0	Opcija isključena.	0
		1	Hvatanje na silaznoj ivici na CAPn.2: sekvenca 1 – 0 na CAPn.2 će upisati vrednost TC u CR2.	
8	CAP2I	0	Opcija isključena.	0
		1	Zahtev za prekid na događaj na CAPn.2: prilikom upisivanja u CR2 zahtevaće se prekid.	
9	CAP3RE	0	Opcija isključena.	0
		1	Hvatanje na uzlaunoj ivici na CAPn.3: sekvenca 0 – 1 na CAPn.3 će upisati vrednost TC u CR3.	
10	CAP3FE	0	Opcija isključena.	0
		1	Hvatanje na silaznoj ivici na CAPn.3: sekvenca 1 – 0 na CAPn.3 će upisati vrednost TC u CR3.	
11	CAP3I	0	Opcija isključena.	0
		1	Zahtev za prekid na događaj na CAPn.3: prilikom upisivanja u CR3 zahtevaće se prekid.	
15:12	---		Rezervisano, korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	nedefinisana

tabela 2.6 - CCR

2.11 STATUSNO-KONTROLNI REGISTAR EMR (T0EMR i T1EMR) – R/W

Ovim registrom se definiše šta će se desiti na izlazima bloka poređenja u slučaju poklapanja TC sa nekim od registara poređenja MR (kontrolni deo), a iz istog registra se može i pročitati status izlaza iz bloka poređenja bez obzir da li je izlaz fizički povezan za pin ili ne (statusni deo).

Bit	Simbol	Opis	Vrednos posle reseta
0	EM0	<i>External Match 0.</i> Poklapanje_0 (statusni bit). Ovaj bit prikazuje stanje izlaza MATn.0, bez obzira da li je taj izlaz povezan na svoj pin ili ne. Kada se desi poklapanje između TC i MR0, ovaj izlaz može da: se promeni, pređe u nisko, pređe u visoko stanje ili da ne radi ništa. Biti EMR[5:4] upravljaju ovim izlazom.	0
1	EM1	<i>External Match 1.</i> Poklapanje_1 (statusni bit). Ovaj bit prikazuje stanje izlaza MATn.1, bez obzira da li je taj izlaz povezan na svoj pin ili ne. Kada se desi poklapanje između TC i MR1, ovaj izlaz može da: se promeni, pređe u nisko, pređe u visoko stanje ili da ne radi ništa. Biti EMR[7:6] upravljaju ovim izlazom.	0
2	EM2	<i>External Match 2.</i> Poklapanje_2 (statusni bit). Ovaj bit prikazuje stanje izlaza MATn.2, bez obzira da li je taj izlaz povezan na svoj pin ili ne. Kada se desi poklapanje između TC i MR2, ovaj izlaz može da: se promeni, pređe u nisko, pređe u visoko stanje ili da ne radi ništa. Biti EMR[9:8] upravljaju ovim izlazom.	0
3	EM3	<i>External Match 3.</i> Poklapanje_3 (statusni bit). Ovaj bit prikazuje stanje izlaza MATn.3, bez obzira da li je taj izlaz povezan na svoj pin ili ne. Kada se desi poklapanje između TC i MR3, ovaj izlaz može da: se promeni, pređe u nisko, pređe u visoko stanje ili da ne radi ništa. Biti EMR[11:10] upravljaju ovim izlazom.	0
5:4	EMC0	<i>External Match Control 0.</i> Kontrola poklapanja_0. Određuju akciju prilikom poklapanja_0. Tabela 2.8 pokazuje značenje kombinacije bita.	00
7:6	EMC1	<i>External Match Control 1.</i> Kontrola poklapanja_1. Određuju akciju prilikom poklapanja_1. Tabela 2.8 pokazuje značenje kombinacije bita.	00
9:8	EMC2	<i>External Match Control 2.</i> Kontrola poklapanja_2. Određuju akciju prilikom poklapanja_2. Tabela 2.8 pokazuje značenje kombinacije bita.	00
11:10	EMC3	<i>External Match Control 3.</i> Kontrola poklapanja_3. Određuju akciju prilikom poklapanja_3. Tabela 2.8 pokazuje značenje kombinacije bita.	00
15:12	---	Rezervisano, korisnik ne bi smeo da upisuje 1 na mestu ovih bita. Vrednost koja se čita nije definisana.	Nedefinisana

tabela 2.7 - EMR

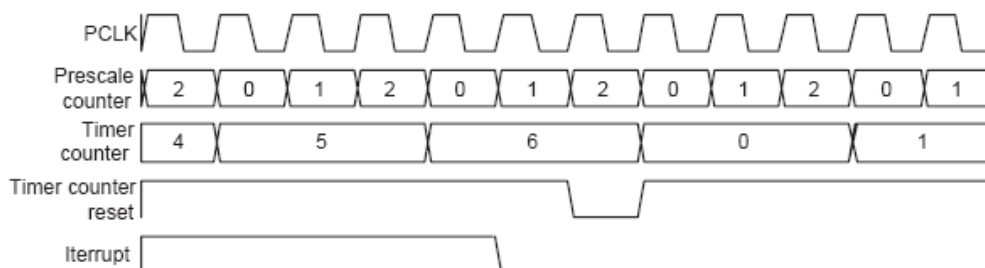
U slučaju poklapanja:

Bit	Simbol	Vrednost	Opis
5:4	EMC0	00	Ne radi ništa.
		01	Postavi izlaz MATn.0 na 0.
		10	Postavi izlaz MATn.0 na 1.
		11	Promeni stanje izlaza MATn.0.
7:6	EMC1	00	Ne radi ništa.
		01	Postavi izlaz MATn.1 na 0.
		10	Postavi izlaz MATn.1 na 1.
		11	Promeni stanje izlaza MATn.1.
9:8	EMC2	00	Ne radi ništa.
		01	Postavi izlaz MATn.2 na 0.
		10	Postavi izlaz MATn.2 na 1.
		11	Promeni stanje izlaza MATn.2.
11:10	EMC3	00	Ne radi ništa.
		01	Postavi izlaz MATn.3 na 0.
		10	Postavi izlaz MATn.3 na 1.
		11	Promeni stanje izlaza MATn.3.

tabela 2.8 kontrolni deo EMR

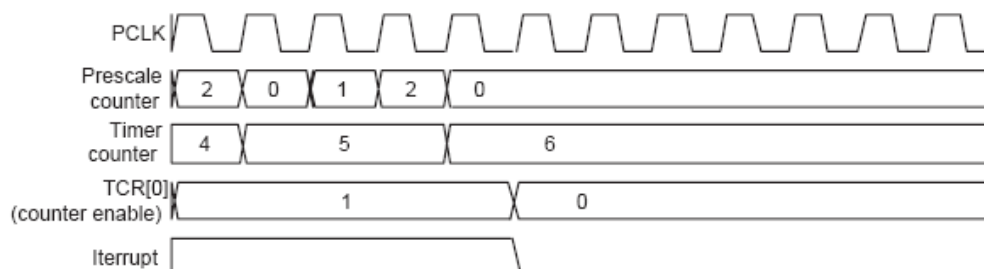
3. PRIMER VREMENSKOG DIJAGRAMA

Slika 1 prikazuje tajmer koji generiše zahtev za prekid na poklapanje, a zatim se resetuje. Predelitelj ima vrednost 2, a registar popoređenja 6.



slika 1

Slika 2 prikazuje tajmer koji generiše zahtev za prekid na poklapanje, a zatim se zaustavlja. Predelitelj ima vrednost 2, a registar popoređenja 6.



slika 2

5 Primeri C-koda za korišćenje tajmera