

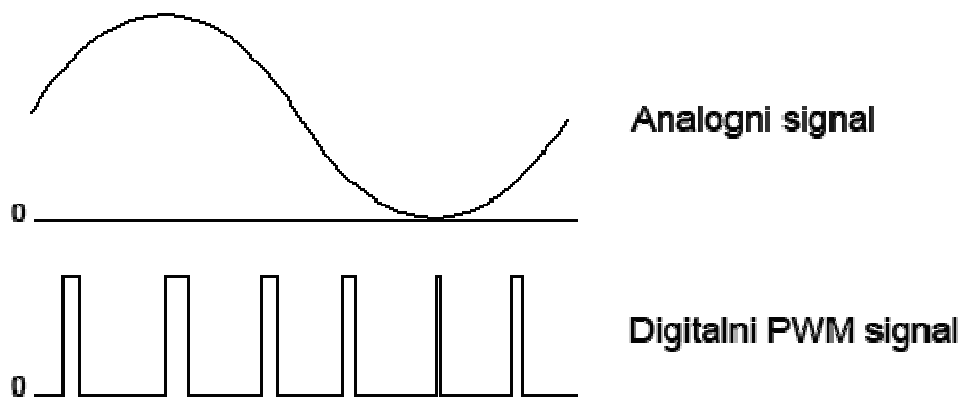
Impulsno Širinska Modulacija Pulse Width Modulation (PWM)



PWM je jako moćna tehnika kontrolisanja analognih kola preko digitalnih izlaza procesora (mikrokontrolera). Napon, odnosno struja se dovode do analognog primaoca kao serija impulsa, a informacija o amplitudi analognog signala se predstavlja širinom (trajanjem) impulsa PWM signala. PWM ima vrlo široku primenu, koristi se pri merenju, komunikaciji, kontroli napajanja, kontroli motora, kao i u raznim vrstama pretvarača.

Amplituda PWM signala je najčešće fiksna i nije od značaja, ali se u nekim slučajevima može koristiti za prenos dodatnih informacija. U suštini, PWM predstavlja način digitalnog kodiranja nivoa analognih signala. Korišćenjem brojača visoke rezolucije, četvrtasti signal se moduliše tako da predstavlja specifični nivo analognog signala.

Analogni naponi i struje se mogu koristiti za direktnu kontrolu uređaja, to je jako jednostavan i jasan način kontrole, ali nije uvek praktičan i isplativ. Analogna kontrola ima razne mane kao što su velike dimenzije komponenti i njihova težina, promenljive karakteristike komponenti tokom vremena, velika potrošnja, grejanje, osetljivost na šum... Digitalnim kontrolisanjem analognih kola, cena sistema za kontrolu i potrošnja energije se mogu drastično smanjiti jer PWM predstavlja ekonomičan, energetske efikasan i imun na šum način za kodiranje analognih signala. Mnogi današnji mikrokontroleri imaju ugrađene PWM periferije što dodatno olakšava implementaciju.



Slika 1 - Analogni signal i rezultujući PWM signal

Glavna prednosti korišćenja PWM signala je to što signal ostaje digitalan celim putem od procesora do primaoca, tako da DA konverzija nije potrebna. PWM signal se smatra digitalnim signalom jer je u svakom trenutku vremena nivo signala ili na nuli ili na maksimumu. Korišćenjem čisto digitalnog signala efekat šuma se minimalizuje, što je velika prednost u odnosu na analogni prenos i kontrolu. Šum može da utiče na digitalni signal samo ako je toliko jak da promeni logičku nulu na jedinicu ili obrnuto. Zbog toga se PWM u nekim slučajevima koristi i za komunikaciju. Prelaz sa analognog signala na PWM može drastično povećati dužinu komunikacionog kanala. Vraćanje PWM signala u analogni oblik se na strani primaoca obavlja vrlo jednostavno uz pomoć otpornika, kondenzator ili kalema. Ukoliko nam je na raspolaganju dovoljno velika frekvencija PWM signala, svaku analognu vrednost možemo predstaviti kao PWM. Još jedna dobra strana ove vrste modulacije je i to što je po gubitku sinhronizacije između predajnika i prijemnika moguće normalno nastaviti sa radom.

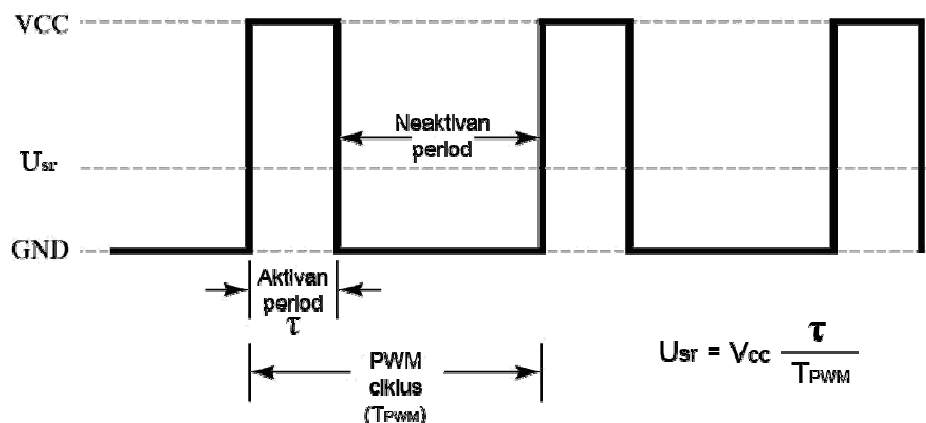
PWM na LPC2138 mikrokontroleru

Impulsno širinski modulator (PWM) je baziran na standardnom Tajmer/Brojač bloku od koga je nasledio sve osobine, ali je samo PWM funkcija izvedena na pinove. PWM funkcija je nadogradnja na osnovne funkcije Tajmer/Brojača i zasnovana je na događajima koje izaziva funkcija Poređenja. Za razliku od Tajmer/Brojača koji je dupliran, u mikrokontroleru LPC2138 ugrađen je samo jedan PWM koji se može koristiti i za impulsno širinsku modulaciju i za tajmersko poređenje. Obe ove funkcije se izvode korišćenjem 7 registara za poređenje (Match).

Tih 7 registara omogućuju generisanje PWM signala sa jednom kontrolisanom ivicom na maksimalno 6 izlaza ili generisanje PWM signala sa dve kontrolisane ivice na maksimalno 3 izlaza. Moguće je i kombinovati ove dve vrste signala na izlazima dok god broj raspoloživih registara za poređenje to dozvoljava.

Kao i Tajmer/Brojač periferija, PWM takođe poseduje 4 ulaza za Hvatanje koji zbog malog broja raspoloživih pinova nisu na raspolaganju.

Kontrolisanje ivica signala na PWM izlazima



Slika 2 – Zavisnost srednjeg napona od vrednosti Vcc, trajanja aktivnog perioda i trajanja PWM ciklusa

Mikrokontroler LPC2138 poseduje Impulsno Širinski Modulator koji može da radi na dva načina (moda, režima). Prvi mod je sa jednom kontrolisanom ivicom signala, a drugi mod je sa dve kontrolisane ivice signala. Iako je glavna karakteristika PWM signala trajanje aktivnog perioda, postoje primene gde je jako bitno i to kako je aktivni period pozicioniran unutar PWM ciklusa.

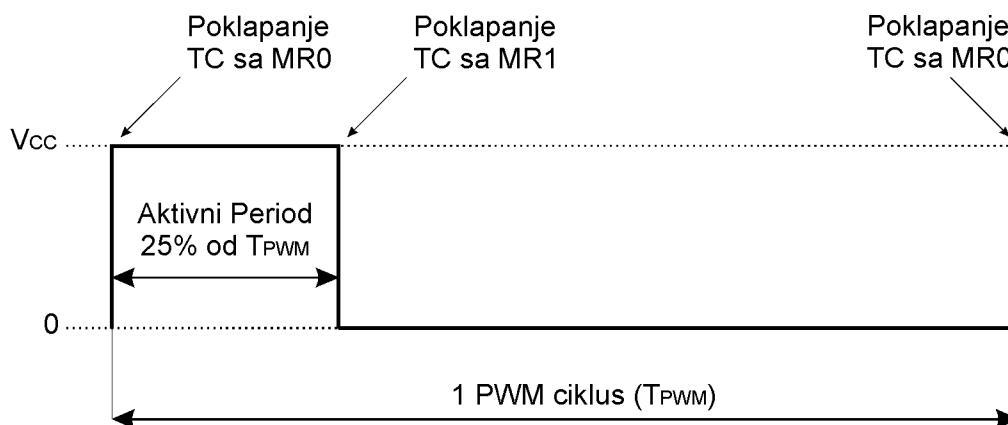
Perioda T_{PWM} (Trajanje PWM ciklusa) je konstantna, određuje se unapred i ne menja se u toku rada.

Kada je bitno samo trajanje aktivnog perioda (impulsa) tj. njegova širina, tu se onda koristi mod rada sa jednom kontrolisanom ivicom (single edge mode).

Mod rada sa dve kontrolisane ivice (double edge mode) dozvoljava nezavisno kontrolisanje pozicije i rastuće i opadajuće ivice signala. To omogućuje korišćenje PWM periferije u različitim situacijama, kao što je kontrola višefaznih motora koja tipično zahteva tri potpuno odvojena PWM izlaza sa nezavisnim kontrolisanjem i širine i pozicije impulsa.

Jedan registar za poređenje se uvek mora zauzeti i on služi za određivanje trajanja celog PWM ciklusa. U režimu rada sa jednom kontrolisanom ivicom zauzima se još po jedan registar za poređenje za svaki korišćeni izlaz. Režim rada sa dve kontrolisane ivice je duplo zahtevniji po pitanju korišćenja registara za poređenje i on traži dva ova registra za svaki korišćeni izlaz. Ovo je razlog zbog kojeg LPC2138 mikrokontroler ima baš 7 registara za poređenje koji omogućuju korišćenje najviše 6 izlaza sa jednom kontrolisanom ivicom ($6 \times 1 + 1$) i najviše 3 izlaza sa dve kontrolisane ivice ($3 \times 2 + 1$).

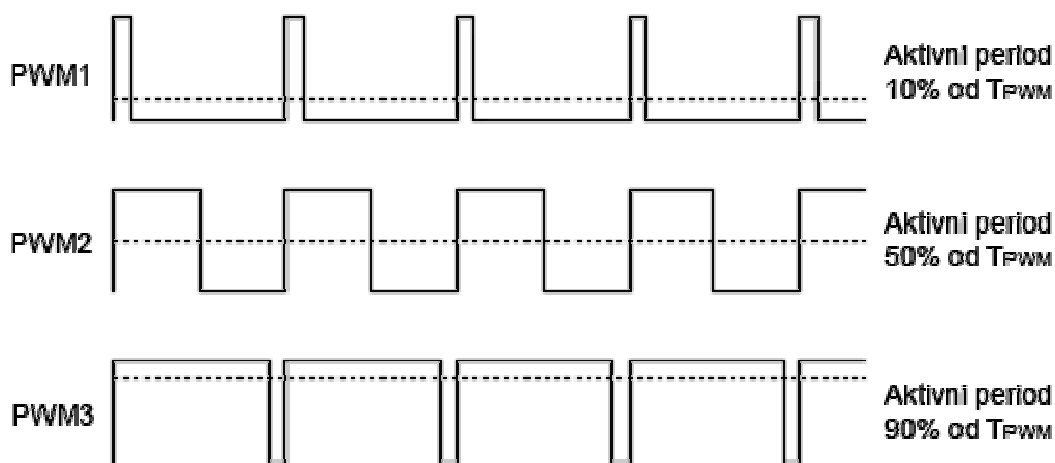
PWM sa jednom kontrolisanom ivicom (Single Edge Mode)



Slika 3 – PWM1 izlaz sa kontrolom jedne ivice podešen na 0,25 Vcc

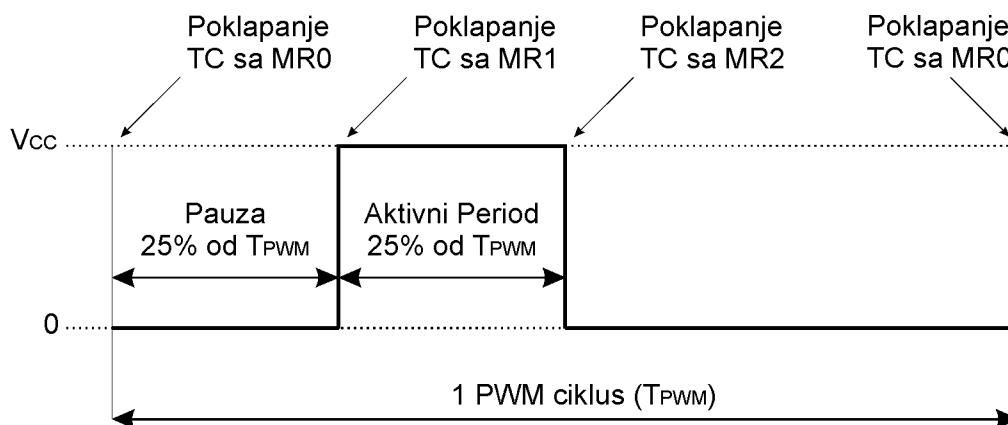
Dva registra za poređenje se mogu koristiti za pravljenje PWM izlaza sa jednom kontrolisanom ivicom. Jedan od ta dva registra, PWMMR0 kontroliše trajanje PWM ciklusa tako što resetuje brojanje po dostizanju zadate vrednosti. Drugi registar kontroliše poziciju opadajuće PWM ivice. Svaki dodatni PWM izlaz ovog tipa zahteva dodavanje još po jednog registra za poređenje jer trajanje PWM ciklusa mora biti isto za sve izlaze, pa se PWMMR0 zajednički koristi.

Višestruki PWM izlazi sa jednom kontrolisanom ivicom će svi imati zajedničku rastuću ivicu na početku svakog PWM ciklusa, što je trenutak kada se registar za poređenje PWMMR0 poklopi sa brojačem. Opadajuće ivice na različitim izlazima mogu biti izazvane u različitim trenucima što je određeno sadržajem preostalih registara za poređenje (PWMMR1–PWMMR5). Ukoliko je vrednost u registru za poređenje veća od vrednosti koja određuje trajanje celog PWM ciklusa, do poklapanja neće doći, i izlaz će biti neprekidno aktivan (logičko 1).



Slika 4 – Prikaz tri PWM signala sa kontrolom jedne ivice podešena na 0,1Vcc, 0,5Vcc i 0,9Vcc

PWM sa dve kontrolisane ivice (Double Edge Mode)



Slika 5 – PWM2 izlaz sa kontrolom obe ivice podešen na 0,25 V_{cc}

Moguće je koristiti 3 registra za poređenje kako bi se obezbedio jedan PWM izlaz kome su kontrolisane obe ivice. I u ovom slučaju registar za poređenje (PWMMR0) je zadužen za trajanje PWM ciklusa, ali ne i za rastuću ivicu. Druga dva registra za poređenje kontrolišu poziciju rastuće, odnosno poziciju opadajuće ivice. Svaki dodatni PWM izlaz sa dve kontrolisane ivice zahteva dodavanje još 2 registra za poređenje jer je trajanje celog PWM ciklusa jednako za sve PWM izlaze, pa se PWMMR0 i u ovom slučaju zajednički koristi.

Kako PWM izlaz sa dve kontrolisane ivice ima dva posebna registra za poređenje koji kontrolišu rastuću i opadajuću ivicu izlaznog signala, moguće je generisanje i pozitivnih i negativnih PWM impulsa. Negativni PWM impuls na početku svakog ciklusa na izlazu ima logičku jedinicu, i tek po izazivanju opadajuće ivice vrednost izlaza se spušta na logičku nulu, koja onda traje sve dok se ne izazove rastuća ivica signala i time ponovo ne promeni izlaz na logičko jedan. Ta logička jedinica se prenosi i na sledeći ciklus i traje sve do naredne opadajuće ivice. Ovakav način rada se podešava tako što se u registre poređenja upiše veća vrednost za poziciju rastuće, a manja za poziciju opadajuće ivice. Ako u neki od registara za poređenje upišemo vrednost 0 ili istu vrednost koju ima i PWMMR0 registar, efekat će biti identičan.

Postavljanje nivoa PWM signala na izlazima

PWM kanal	PWM sa jednom kontrolisanom ivicom (PWMSELn=0)		PWM sa dve kontrolisane ivice (PWMSELn=0)	
	1 postavlja	0 postavlja	1 postavlja	0 postavlja
1	Poklapanje 0	Poklapanje 1	Poklapanje 0	Poklapanje 1
2	Poklapanje 0	Poklapanje 2	Poklapanje 1	Poklapanje 2
3	Poklapanje 0	Poklapanje 3	Poklapanje 2	Poklapanje 3
4	Poklapanje 0	Poklapanje 4	Poklapanje 3	Poklapanje 4
5	Poklapanje 0	Poklapanje 5	Poklapanje 4	Poklapanje 5
6	Poklapanje 0	Poklapanje 6	Poklapanje 5	Poklapanje 6

U tabeli vidimo šta se dešava sa signalom na svakom od izlaza PWM periferije kada dođe do poklapanja Tajmera (PWMTTC) sa nekim od registara za poređenje (PWMMR0-PWMMR5). Događaj poklapanja registara za poređenje sa tajmerom je označen kao Poklapanje 0 za registar PWMMR0, Poklapanje 1 za registar PWMMR1 i tako redom. Iz tabele se vidi da izlaz PWM1 ne može da se koristi kao izlaz sa dve kontrolisane ivice, jer rastuću ivicu postavlja poklapanje tajmera sa PWMMR0 registrom (Poklapanje 0). PWMMR0 registar nije moguće slobodno podešavati jer se koristi za smeštanje trajanja celog PWM ciklusa što je vrednost koja utiče i na sve ostale izlaze. Kanale PWM3 i PWM5 je bolje ne koristiti u modu sa dve kontrolisane ivice jer se u tom slučaju treći izlaz ne može koristiti. Samo kada se koriste izlazi PWM2, PWM4 i PWM6 moguće je imati tri nezavisna izlaza sa po dve kontrolisane ivice.

Opis pinova

Pin	Tip	Opis
PWM1	Izlaz	Izlaz sa PWM kanala 1
PWM2	Izlaz	Izlaz sa PWM kanala 2
PWM3	Izlaz	Izlaz sa PWM kanala 3
PWM4	Izlaz	Izlaz sa PWM kanala 4
PWM5	Izlaz	Izlaz sa PWM kanala 5
PWM6	Izlaz	Izlaz sa PWM kanala 6

Opis registara

Ime	Opis	Pristup	Rst	Adresa
PWMIR	PWM registar prekida (PWM Interrupt Register). Iz ovog registra je moguće čitanje u cilju identifikacije izvora prekida koji su na čekanju, ili upis u cilju brisanja prekida.	R/W	0	0xE001 4000
PWMTCR	Registar za kontrolu PWM tajmera (PWM Timer Control Register). Koristi se za kontrolu funkcija Tajmer/Brojača. Preko ovog registra Tajmer/Brojač je moguće isključiti ili resetovati.	R/W	0	0xE001 4004
PWMTC	PWM Tajmer/Brojač (PWM Timer Counter). 32-bitni brojački registar koji se uvećava svakih PWMPR+1 ciklusa PCLK takta. PWMTC je kontrolisan preko PWMTCR registra za kontrolu.	R/W	0	0xE001 4008
PWMPR	Registar PWM Predelitelja (PWM Prescale Register). Čuva vrednost faktora predeljinja. PWM tajmer PWMTC se uvećava svakih PWMPR+1 ciklusa perifernog takta PCLK.	R/W	0	0xE001 400C
PWMPC	Brojač PWM Predelitelja (PWM Prescale Counter). 32-bitni brojački registar koje se uvećava sve dok ne dostigne vrednost zapisanu u PWMPR. Kada se ta vrednost dostigne PWMTC se uveća, a PWMPC se resetuje. Moguće ga je čitati i kontrolisati preko magistrale.	R/W	0	0xE001 4010
PWMMCR	Registar za kontrolu funkcije Poređenja kod PWM-a (PWM Match Control Register). Preko ovog registra se određuje da li će se generisati prekid i da li će se PWMTC resetovati kada dođe do poklapanja.	R/W	0	0xE001 4014
PWMMR0	PWM registar za poređenje 0. (PWM Match Register 0). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTC, moguće je izazvati sledeće događaje: Resetovanje PWMTC brojača, Zaustavljanje i PWMTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, svi PWM izlazi se postavljaju na jedinicu kada se kontroliše jedna ivica, a samo se PWM1 izlaz postavlja na jedinicu ako se kontrolišu obe ivice signala.	R/W	0	0xE001 4018
PWMMR1	PWM registar za poređenje 1. (PWM Match Register 1). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTC, moguće je izazvati sledeće događaje: Resetovanje PWMTC brojača, Zaustavljanje i PWMTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM1 izlaz se postavlja na nulu, dok se izlaz PWM2 postavlja na jedinicu samo kada se radi u režimu sa dve kontrolisane ivice.	R/W	0	0xE001 401C
PWMMR2	PWM registar za poređenje 2. (PWM Match Register 2). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTC, moguće je izazvati sledeće događaje: Resetovanje PWMTC brojača, Zaustavljanje i	R/W	0	0xE001 4020

	PWMTTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM2 izlaz se postavlja na nulu, dok se izlaz PWM3 postavlja na jedinicu samo kada se radi u režimu sa dve kontrolisane ivice.			
PWMMR3	PWM registar za poređenje 3. (PWM Match Register 3). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTTC, moguće je izazvati sledeće događaje: Resetovanje PWMTTC brojača, Zaustavljanje i PWMTTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM3 izlaz se postavlja na nulu, dok se izlaz PWM4 postavlja na jedinicu samo kada se radi u režimu sa dve kontrolisane ivice.	R/W	0	0xE001 4024
PWMMR4	PWM registar za poređenje 4. (PWM Match Register 4). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTTC, moguće je izazvati sledeće događaje: Resetovanje PWMTTC brojača, Zaustavljanje i PWMTTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM4 izlaz se postavlja na nulu, dok se izlaz PWM5 postavlja na jedinicu samo kada se radi u režimu sa dve kontrolisane ivice.	R/W	0	0xE001 4040
PWMMR5	PWM registar za poređenje 5. (PWM Match Register 5). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTTC, moguće je izazvati sledeće događaje: Resetovanje PWMTTC brojača, Zaustavljanje i PWMTTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM5 izlaz se postavlja na nulu, dok se izlaz PWM6 postavlja na jedinicu samo kada se radi u režimu sa dve kontrolisane ivice.	R/W	0	0xE001 4044
PWMMR6	PWM registar za poređenje 6. (PWM Match Register 6). Uključuje se preko PWMMCR. Kada se vrednost ovog registra izjednači sa PWMTTC, moguće je izazvati sledeće događaje: Resetovanje PWMTTC brojača, Zaustavljanje i PWMTTC i PWMPC brojača, i po potrebi generisanje prekida. Isto tako, u slučaju poklapanja sa brojačem, u oba režima rada, PWM2 izlaz se postavlja na nulu.	R/W	0	0xE001 4048
PWMPCR	Registar za kontrolu PWM-a (PWM Control Register). Uključuje PWM izlaze i određuje u kom će režimu raditi koji kanal (jenda ili dve kontrolisane ivice).	R/W	0	0xE001 404C
PWMLER	Registar za uključivanje PWM leča (PWM Latch Enable Register). Kontroliše upis novih vrednosti u registre za poređenje kada se oni koriste za generisanje PWM signala, pošto se upis tada ne obavlja direktno već preko registara u senci (shadow registers).	R/W	0	0xE001 4050

Reset vrednost (Rst) resetuje samo podatke smeštene u bitovima koji se koriste. Ne utiče na sadržaj rezervisanih bitova.

Detaljan opis registara

PWM registar prekida (PWM Interrupt Register) PWMIR - 0xE001 4000

Ovaj registar se sastoji od 11 bitova, 7 bitova je namenjeno zahtevima za prekid koje izaziva funkcija poređenja, a 4 bita su rezervisani za kasniju upotrebu. Ukoliko dođe do generisanja zahteva za prekid, odgovarajući bit u ovom registru se postavlja na logičku jedinicu, u suprotnom, vrednost mu je logička nula. Pisanje logičke jedinice u odgovarajući bit ovog PWMIR registra će resetovati (skinuti) zahtev za prekid. Pisanje nule nema nikakvog efekta.

Bit	Simbol	Opis	Reset
0	PWMMR0 prekid	Zastavica zahteva za prekid PWM kanala poređenja 0	0
1	PWMMR1 prekid	Zastavica zahteva za prekid PWM kanala poređenja 1	0
2	PWMMR2 prekid	Zastavica zahteva za prekid PWM kanala poređenja 2	0
3	PWMMR3 prekid	Zastavica zahteva za prekid PWM kanala poređenja 3	0
7:4	-	Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	0000
8	PWMMR4 prekid	Zastavica zahteva za prekid PWM kanala poređenja 4	0
9	PWMMR5 prekid	Zastavica zahteva za prekid PWM kanala poređenja 5	0
10	PWMMR6 prekid	Zastavica zahteva za prekid PWM kanala poređenja 6	0
15:11	-	Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA

Registar za kontrolu PWM tajmera (PWM Timer Control Register) (PWMTCR - 0xE001 4004)

Koristi se za kontrolu rada PWM Tajmer/Brojača. Funkcija svakog bita koji se koristi je prikazana u tabeli ispod.

Bit	Simbol	Opis	Reset
0	Uključivanje brojača	Kada je jedan, PWM Tajmer/Brojač i PWM predeliteljski brojač su uključeni i spremni za brojanje. Kada je nula, ovi brojači su isključeni.	0
1	Reset brojača	Kada je jedan, PWM Tajmer/Brojač i PWM predeliteljski brojač se istovremeno resetuju prilikom sledeće rastuće ivice PCLK takta. Brojači ostaju resetovani sve dok se vrednost ovog bita ne vrati na nulu.	0
2	-	Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA
3	Uključivanje PWM moda	Kada je ovaj bit jedan, aktiviran je PWM mod (redžim rada). PWM mod nalaže korišćenje registara u senci	0

		(shadow registers) zajedno sa registrima za poređenje. Kada program upiše neku vrednost, to nema efekta na rezultat poređenja sve dok se odgovarajući bit u PWMLER registru ne postavi na jedan i dok ne počne novi PWM ciklus. Treba voditi računa o tome da se vrednost PWMMR0 registra mora zadati pre uključivanja PWM režima rada, jer ona određuje trajanje PWM ciklusa. Ako to nije učinjeno, neće doći do poklapanja, PWM ciklus se neće završiti, pa tako nove vrednosti neće postati efektivne.	
7:4	-	Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA

PWM Tajmer/Brojač (PWM Timer Counter) (PWMTTC - 0xE001 4008)

Ovaj registar je 32-bitni Tajmer/Brojač koji se uvećava svaki put kada pomoćni brojač predelitelja (PWMPC) dostigne svoju maksimalnu vrednost koja je zadata PWMPC registrom. Ako se ne resetuje pre toga, ovaj brojač će dostići maksimalnu vrednost (0xFFFF FFFF), i zatim će se u sledećem ciklusu vratiti na nulu (0x0000 0000). Ovaj događaj vraćanja na nulu, premotavanja, neće postaviti zahtev za prekid, ali se jedan od registara za Poređenje može koristiti za detekciju premotavanja (overflow).

Registar PWM Predelitelja (PWM Prescale Register) (PWMPC - 0xE001 400C)

32-bitni registar koji čuva maksimalnu vrednost koju može da uzme Brojač PWM Predelitelja. Promenom ove vrednosti menjamo odnos između rezolucije tajmera i maksimalnog vremena koje će da protekne pre nego što dođe do vraćanja tajmera na nulu, tj. premotavanja (overflow).

Brojač PWM Predelitelja (PWM Prescale Counter) (PWMPC - 0xE001 4010)

Ovo je 32-bitni registar koji vrši deljenje (preskaliranje) PCLK takta nekom konstantnom vrednošću pre nego što se izvrši uvećanje PWM Tajmer/Brojača. Ovaj brojač je pomoćni brojač koji se uvećava prilikom svakog PCLK ciklusa dok ne dostigne vrednost zabeleženu u Registru PWM Predeljenja (PWMPC), kada se to desi, u sledećem ciklusu se glavni Tajmer/Brojač (PWMTTC) uveća, a PWMPC se resetuje. Ovo znači da će se PWMTTC uvećati za jedan na svaki ciklus PCLK ako je PWMPC=0 ili na svaki drugi ciklus PCLK ako je PWMPC=1.

PWM registri za poređenje (PWM Match Registers) (PWMMR0 – PWMMR6)

Vrednosti koje su smeštene u ovim 32-bitnim registrima se neprekidno porede sa vrednošću PWM Tajmer/Brojača (PWMTTC). Kada se ustanovi da su ove dve vrednosti jednake, moguće je automatski pokrenuti određene događaje (akcije). Te akcije mogu biti: Generisanje prekida, Resetovanje tajmera, Zaustavljanje tajmera. Koji će se od ovih događaja desiti određeno je sadržajem PWMMCR registra.

Registar za kontrolu funkcije Poređenja kod PWM-a (PWM Match Control Register) (PWMMCR - 0xE001 4014)

Preko ovog registra se određuje koje koje će se akcije izvesti kada se jedan od registara za poređenje pokopi (izjednači) sa vrednošću PWM Tajmer/Brojača. Funkcija svakog bita ovog registra je prikazana u tabeli ispod.

Bit	Symbol	Vred- nost	Opis	Rst
0	PWMMR0I	1	Prekid na PWMMR0: generiše se zahtev za prekid kada se PWMMR0 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Generisanje prekida je isključeno.	
1	PWMMR0R	1	Reset na PWMMR0: tajmer se resetuje kada se PWMMR0 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Ova funkcija je isključena.	
2	PWMMR0S	1	Zaustavljanje tajmera na PWMMR0: PWMTTC i PWMPC će biti zaustavljeni a bit PWMTTCR[0] će biti postavljen na nulu kada se PWMMR0 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Ova funkcija je isključena.	
3	PWMMR1I	1	Prekid na PWMMR1: generiše se zahtev za prekid kada se PWMMR1 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Generisanje prekida je isključeno.	
4	PWMMR1R	1	Reset na PWMMR1: tajmer se resetuje kada se PWMMR1 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Ova funkcija je isključena.	
5	PWMMR1S	1	Zaustavljanje tajmera na PWMMR1: PWMTTC i PWMPC će biti zaustavljeni a bit PWMTTCR[0] će biti postavljen na nulu kada se PWMMR1 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Ova funkcija je isključena.	
6	PWMMR2I	1	Prekid na PWMMR2: generiše se zahtev za prekid kada se PWMMR2 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Generisanje prekida je isključeno.	
7	PWMMR2R	1	Reset na PWMMR2: tajmer se resetuje kada se PWMMR2 poklopi sa vrednošću tajmera PWMTTC.	0
		0	Ova funkcija je isključena.	
8	PWMMR2S	1	Zaustavljanje tajmera na PWMMR2: PWMTTC i PWMPC će biti zaustavljeni a bit PWMTTCR[0] će biti postavljen na nulu kada se PWMMR2 poklopi sa vrednošću tajmera PWMTTC.	0

		0	Ova funkcija je isključena.	
9	PWMMR3I	1	Prekid na PWMMR3: generiše se zahtev za prekid kada se PWMMR3 poklopi sa vrednošću tajmera PWMTC.	0
		0	Generisanje prekida je isključeno.	
10	PWMMR3R	1	Reset na PWMMR3: tajmer se resetuje kada se PWMMR3 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
11	PWMMR3S	1	Zaustavljanje tajmera na PWMMR3: PWMTC i PWMPC će biti zaustavljeni a bit PWMTCCR[0] će biti postavljen na nulu kada se PWMMR3 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
12	PWMMR4I	1	Prekid na PWMMR4: generiše se zahtev za prekid kada se PWMMR4 poklopi sa vrednošću tajmera PWMTC.	0
		0	Generisanje prekida je isključeno.	
13	PWMMR4R	1	Reset na PWMMR4: tajmer se resetuje kada se PWMMR4 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
14	PWMMR4S	1	Zaustavljanje tajmera na PWMMR4: PWMTC i PWMPC će biti zaustavljeni a bit PWMTCCR[0] će biti postavljen na nulu kada se PWMMR4 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
15	PWMMR5I	1	Prekid na PWMMR5: generiše se zahtev za prekid kada se PWMMR5 poklopi sa vrednošću tajmera PWMTC.	0
		0	Generisanje prekida je isključeno.	
16	PWMMR5R	1	Reset na PWMMR5: tajmer se resetuje kada se PWMMR5 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
17	PWMMR5S	1	Zaustavljanje tajmera na PWMMR5: PWMTC i PWMPC će biti zaustavljeni a bit PWMTCCR[0] će biti postavljen na nulu kada se PWMMR5 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
18	PWMMR6I	1	Prekid na PWMMR6: generiše se zahtev za prekid kada se PWMMR6 poklopi sa vrednošću tajmera PWMTC.	0
		0	Generisanje prekida je isključeno.	
19	PWMMR6R	1	Reset na PWMMR6: tajmer se resetuje kada se PWMMR6 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
20	PWMMR6S	1	Zaustavljanje tajmera na PWMMR6: PWMTC i PWMPC će biti zaustavljeni a bit PWMTCCR[0] će biti postavljen na nulu kada se PWMMR6 poklopi sa vrednošću tajmera PWMTC.	0
		0	Ova funkcija je isključena.	
31:21	-			NA

Registar za kontrolu PWM-a (PWM Control Register) (PWMPCR - 0xE001 404C)

Uključuje PWM izlaze (kanale) i određivanje mod u kojem će ti kanali raditi.

Bit	Symbol	Vrednost	Opis	Rst
1:0	-		Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA
2	PWMSEL2	1	Uključuje mod sa dve kontrolisane ivice za izlaz PWM2.	0
		0	Uključuje mod sa jendom kontrolisanom ivice za PWM2.	
3	PWMSEL3	1	Uključuje mod sa dve kontrolisane ivice za izlaz PWM3.	0
		0	Uključuje mod sa jendom kontrolisanom ivice za PWM3.	
4	PWMSEL4	1	Uključuje mod sa dve kontrolisane ivice za izlaz PWM4.	0
		0	Uključuje mod sa jendom kontrolisanom ivice za PWM4.	
5	PWMSEL5	1	Uključuje mod sa dve kontrolisane ivice za izlaz PWM5.	0
		0	Uključuje mod sa jendom kontrolisanom ivice za PWM5.	
6	PWMSEL6	1	Uključuje mod sa dve kontrolisane ivice za izlaz PWM6.	0
		0	Uključuje mod sa jendom kontrolisanom ivice za PWM6.	
8:7	-		Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA
9	PWMENA1	1	Izlaz PWM1 je uključen.	0
		0	Izlaz PWM1 je isključen.	
10	PWMENA2	1	Izlaz PWM2 je uključen.	0
		0	Izlaz PWM2 je isključen.	
11	PWMENA3	1	Izlaz PWM3 je uključen.	0
		0	Izlaz PWM3 je isključen.	
12	PWMENA4	1	Izlaz PWM4 je uključen.	0
		0	Izlaz PWM4 je isključen.	
13	PWMENA5	1	Izlaz PWM5 je uključen.	0
		0	Izlaz PWM5 je isključen.	
14	PWMENA6	1	Izlaz PWM6 je uključen.	0
		0	Izlaz PWM6 je isključen.	
15	-		Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA

Registar za uključivanje PWM leča (PWM Latch Enable Register) (PWMLER - 0xE001 4050)

Kontroliše trenutak upisa novih vrednosti u radne registre za poređenje dok periferija radi u PWM modu. Kada softver vrši upis u PWM registar za poređenje, upis se ne obavlja direktno već preko registara u senci. Kada se sadržaj brojača poklopi sa sadržajem PWMMR0 registra, dolazi do reseta brojača i započinjanja novog PWM ciklusa. U tom trenutku, ako je odgovarajući bit u PWMLER registru postavljen na jedinicu nove vrednosti će postati aktivne i početi da utiču na tok sledećih PWM ciklusa. Do trenutka prebacivanja, upisane vrednosti nemaju nikakav uticaj na izlazni PWM signal. Jednom kada su nove vrednosti prebačene, svi bitovi PWMLER registra se automatski brišu.

Primer

Ako je izlaz PWM2 aktivan i konfigurisan za rad sa dve kontrolisane ivice, tipičan sled događaja za promenu tajminga bi bio:

- Upis nove vrednosti u PWMMR1 registar.
- Upis nove vrednosti u PWMMR2 registar.
- Upis u PWMLER registar jedinica na mesto bita 1 i bita 2.
- Upisane (promenjene) vrednosti će postati važeće i aktivne tek posle sledećeg reseta tajmera (kada se PWMMR0 izjednači sa PWMTTC).

Redosled upisa vrednosti u PWM registre za poređenje nije bitan jer se ni jedna od upisanih vrednosti neće koristiti dok se na odgovarajuća mesta u PWMLER registru ne upišu jedinice i dok se ne započne novi PWM ciklus posle toga. Na ovaj način je osigurano da, ako je to potrebno, obe vrednosti počnu da deluju simultano. Ako je potrebno menjanje vrednosti samo jednog od registara za poređenje, to se radi na isti način. Funkcija svakog bita ovog registra je prikazana u tabeli ispod.

Bit	Simbol	Opis	Reset
0	Uključi Leč za PWMMR0	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR0 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
1	Uključi Leč za PWMMR1	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR1 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
2	Uključi Leč za PWMMR2	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR2 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
3	Uključi Leč za PWMMR3	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR3 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
4	Uključi Leč za PWMMR4	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR4 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
5	Uključi Leč za PWMMR5	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR5 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
6	Uključi Leč za PWMMR6	Upis jedinice na mesto ovog bita dozvoljava da poslednja vrednost koja je upisana u PWMMR6 registar postane aktivna pri sledećem resetu tajmera, tj. kada započne novi PWM ciklus.	0
7	-	Rezervisani bitovi, korisnički softver ne bi trebalo da upisuje jedinice u njih. Vrednost koja se dobija čitanjem iz rezervisanih bitova nije definisana.	NA