

Mikroprocesorski softver, jun 2013.

1. Učestanost kristalnog oscilatora koji obezbeđuje takt mikrokontroleru je 10 MHz. Primena zahteva da jezgro radi sa sistemskim taktom (CCLK) učestanosti 40 MHz i da preiferijski takt (PCLK) bude učestanosti 10 MHz. Napisati deo C-koda koji bi inicijalizovao genrisanje takta na ovaj način.(6)

Obezbediti da jezgro pristupa ugrađenoj fleš memoriji punom brzinom.(4)

Opisati ukratko, u nekoliko rečenica, problem u vezi sa brzinom pristupa ugrađenoj fleš-memoriji i moguće načine njegovog prevazilaženja.(2)

REŠENJE:

Prvi deo zadatka:

```
PLLCFG = 0x00000023;          // M=4, P=2, (p_sel=1; m_sel=3)
PLLCON = 0x00000001;          // Uključi PLL blok
PLLFEED = 0x000000AA;         // Aktiviranje...
PLLFEED = 0x00000055;         // ...poslednjih upisa
while (!(PLLSTAT & 0x00000400)); // čekanje stabilizacije
PLLCON = 0x00000003;          // Priključenje PLL
PLLFEED = 0x000000AA;         // Aktiviranje...
PLLFEED = 0x00000055;         // ...poslednjeg upisa
VPBDIV = 4;                   // VPB delitelj = 2
```

Poslednja instrukcija nije neophodna zato što je to stanje posle reseta.

Drugi deo zadatka:

```
MAMCR = 0x00;                // Isključi MAM
MAMTIM = 0x02;                // 2 cclk takta za jedan MAM pristup
MAMCR = 0x02;                // Uključi MAM (potpuno aktivan)
```

2. Za mikrokontroler čiji je generator takta podešen kao u zadatku 1, na dva PWM izlaza po slobodnom izboru generisati dva širinski modulisana signala učestanosti 1KHz (periode 1 ms), jedan sa impulsom širine 400 μ s, i drugi širine 600 μ s. Širinska modulacija oba signala treba da bude simetrična (impulsi na sredini periode).(10)

Koji problemi bi mogli nastati ako PWM brojač ne bi bio inicijalizovan u PWM načinu rada (ako bi bit PWMTCR.3 bio 0)?(4)

REŠENJE:

Prvi deo zadatka:

Ako se odabere da predelitelj bude 10, jedna takt tajmera traje 1 μ s, pa bi perioda bila 1000 taktova, rastuća ivica prvog signala sa dve kontrolisane ivice, recimo PWM2 bi bila na 300 μ s ($(500-400)/2$) posle početka periode, a opadajuća na 700 μ s ($(500+400)/2$). Drugi signal takođe sa dve kontrolisane ivice, recimo PWM4, bi imao rastuću ivicu na 200 μ s ($(500-600)/2$) posle početka periode, a opadajuća na 800 μ s ($(500+600)/2$). Za treći zadatak, za pokretanje AD konverzije trebaće nam i jedna opadajuća ivica na 500 μ s, recimo PWM5 u režimu kontrole jedne ivice.

```

PWMTCCR = 0x0A;          // Reset brojača u PWM režimu rada
PWMPR = 9;                // Predelitelj je 10 (1us perioda takta brojača)
PWMMCR = 0x02;           // Reset brojača pri poklapanju 0, bez prekida
PWMPCR = 0x3414;         // Uključeni izlazi PWM2, 4, i 5;
                           // PWM2 i 4 u režimu kontrole dve ivice
PWMMR0 = 1000;           // Perioda PWM je 1000 uS
PWMMR1 = 300;            // Rastuća ivica PWM2
PWMMR2 = 700;            // Opadajuća ivica PWM2
PWMMR3 = 200;            // Rastuća ivica PWM4
PWMMR4 = 800;            // Opadajuća ivica PWM4
PWMMR5 = 500;            // Opadajuća ivica PWM5 u režimu kont. jedne ivice
PWMTCCR = 0x09;          // Pokretanje brojača u PWM režimu rada
PWMLER = 0x3F;           // Aktiviranje promena na PWMMR0 do PWMMR5

```

3. Koje podatke treba upisati (i u koje registre) da bi se odmah pokrenula desetobitna AD konverzija sa kanala AD1.0. i AD0.0. Odmeravanje signala sa oba kanala treba da bude istovremeno. Učestanost perifernog takta PCLK je 10MHz. Obrazložiti rešenje.....(6)

Šta bi sve trebalo uraditi da se obe konverzije istovremeno pokrenu tačno na polovini PWM perioda definisanog u zadatku 2?(6)

Šta se može dobiti smanjivanjem rezolucije AD konvertora (na primer, sa 10 na 8 bita). Kada se ovo može primeniti i kako se to radi?(2)

REŠENJE:

Prvi deo zadatka:

Kako su ulazi na dva različita konvertora, potrebno je kontrolne registre oba konvertora inicijalizovati bez pokretanja konverzije, a istovremenu konverziju pokrenuti preko registra globalnog starta (ADGSR). Predelitelj mora da bude bar 3 da bi se od PCLK koji je 10 MHz dobio takt ispod 4,5 MHz.

```

AD0CR = 0x0020 0201; // Odabran kanal 0, CLKDIV=3, bez starta, AD uključen
AD1CR = 0x0020 0201; // Odabran kanal 0, CLKDIV=3, bez starta, AD uključen
ADGSR = 0x0100 0000; // Istovremeni start oba kanala odmah

```

Drugi deo zadatka:

Za odloženi start potrebno je spolja dovesti signal sa aktivnom ivicom u trenutku kada konverzija treba da počne. Odloženi start definišu biti 26 do 24 ADGSR registra. Kada su, na primer 011₂, konverzija će početi kada se pojavi aktivna ivica na portu P0.22 Aktivnu ivicu određuje bit 27 ADGSR registra. Ako smo u 2. zadatku napravili opadajuću ivicu izlaza PWM5 u trenutku početka konverzije, taj izlaz treba spojiti (hardverski) za ulaz P0.22. Tada bi u ADGSR trebalo upisati:

```

ADGSR = 0x0B00 0000; // Start oba kanala u trenutku opadajuće ivice P0.22

```

Inicijalizacija kontrolnih registara je ista kao u prvom delu zadatka.

4. Napisati deo C koda kojim bi se na izlazu DA konvertora generisao periodični signal periode 2ms, 1ms vrednosti 1,50V i 1ms vrednosti 2,25V. Referentni napon V_{REF} je 3,00V. Pretpostaviti da funkcija `void pauza_1ms (void)` koja pravi pauzu od 1ms, već postoji. Zanemariti vreme izvršavanja ostalih instrukcija.(10)

REŠENJE:

Tražene vrednosti napona za referencu 3,00V u slučaju 10-bitnog konvertora, odgovaraju digitalnim vrednostima 512 i 768, odnosno, $10\,000\,0000_2$ i $11\,000\,0000_2$. Digitalna vrednost se može dobiti kao: $1024 \cdot (U/3,00)$, gde je U traženi izlazni napon u voltima. Jedno od mogućih rešenja je:

```
while (1)
{
    DACR = 512 << 6;
    pauza_1ms();
    DACR = 768 << 6;
    pauza_1ms();
}
```

Ispit traje 90 minuta.

Rešenja zadataka treba da sadrže kôd sa oznakama registara koje se koriste u literaturi, i sadržajima koje u njih treba upisati. Pretpostavlja se da su zaglavlja sa definicijama standardnih imena registara uključena.

Dozvoljena je upotreba literature.

Nije dozvoljeno pozajmljivanje literature..