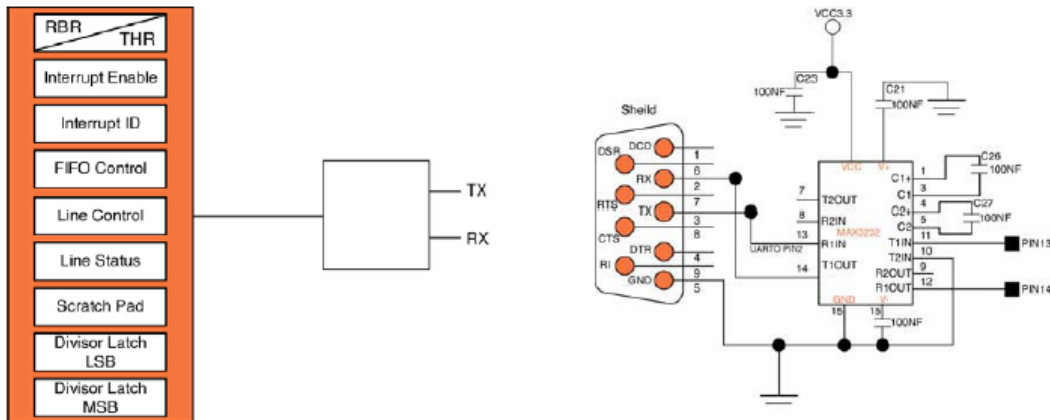


UNIVERZALNI ASINHRONIPRIJEMNIK/PREDAJNIK (UART 0)

LPC2xxx uređjaji trenutno imaju dva ugradjena UART-a. Oba su indenticna za koriscenje osim sto UART1 ima i podrsku za modem. Obe periferije su u skladu sa “550 industriskim standardom”. Obe imaju ugradjen generator bodske brzine i 16-bajtnje FIFOs za slanje i prijem.



UART0 Opis pinova

RXD0	Input	Serial Input. Seriski prijem podataka.
TXD0	Output	Serial Output. Serisko slanje podataka

Inicijalizacija UART-a je prikazana ispod:

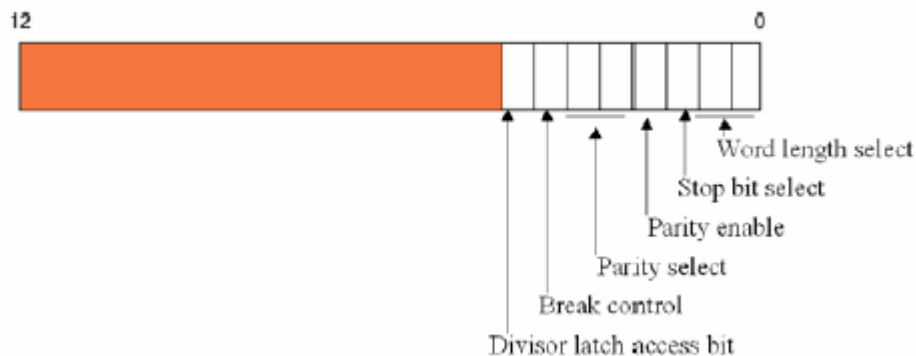
```
void init_serial (void)
{
    PINSEL0    = 0x00050000;           /*inicijalizacija seriskog interfejsa*/
    U0LCR      = 0x00000083;           /* 8 bita, bez parnosti, 1 stop bit */
    U0DLL      = 0x000000C2;           /* 9600 bodska brzina@30MHz */
    U0LCR      = 0x00000003;           /* DLAB = 0 */
}
```

UART0 mapa registara :

Ime	Opis	Funkcije bita i adrese								Pri- stup	Re-set vred.	adrese	
		msb											lsb
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0					
IDRBR	Prijemni bufer registar	8-bitni citaj podatak								RO	NA	0xE000 C000 (DLAB = 0)	
U0THR	Saljuci drzacki reg	8-bitni pisi podatak								WO	NA	0xE000 C000 (DLAB = 0)	
U0DLL	Latch deljitelja LSB	8-bitni podatak								R/W	0x01	0xE000 C004 (DLAB = 1)	
U0DLM	Latch deljitelja MSB	8-bitni podatak								R/W	0x00	ExE000 C004 (DLAB = 1)	
U0IER	Reg za dozvoljen prekid	Res.	Res.	Res	Res.	Res	Omog. prekid RX Statusne Linije	Omog. prekid THRE	Omog prekid RX Dostu- pnost	R/W	0x00	0XE000 C004 (DLAB = 0)	
U0IIR	Registar ID prekida	FIFOs omoguc.	Res	Res	Res	IIR3	IIR2	IIR1	IIR0	RO	0x01	0xE000 C008	
U0FCR	FIFO kontrolni registar	RX okidac	Res	Res	Res	TX FIFO reset	RX FIFO reset	FIFO omoguci		WO	0x00	0xE000 C00C	
U0LSR	Registar statusa linije	RX FIFO Greska	TEMT	THRE	BI	FE	PE	OE	DR	RO	0x60	0xE000 C014	
U0SCR	Registar za zvrljanje	8-bitni podatak								R/W	0x00	0xE000 C01C	
U0TER	Registar dozvole slanja	TXEN	Res	Res	Res	Res	Res	Res	Res	R/W	0x80	0xE00 C030	

Pri inicijalizaciji UART-a ,prvenstveno blok izbora pinova mora biti programiran da promeni pinove od GPIO prema UART funkcijama. Zatim se UART registar kontrolne linije koristi da bi se podesio format podataka predajnih karaktera.

UART registar kontrolne linije (LCR) :



bit 0 i 1 : odabir duzine reci; bit2: odabir stop bita; bit3: omogucena parnost;
bit 4 i 5 : izbor parnosti; bit6: kontrola zaustava zastoja; bit7: (DLAB) pristup latch-u deljitelja. Postavljanje DLAB bita dozvoljava programiranje generatora bodske brzine.

UART0 PRIJEMNI BUFER REGISTAR (U0RBR, DLAB = 0, 0xE000 C000)

U0RBR je vrsni bajt UART0 Rx FIFO. Gornji bajt sadrzi najstariji podatak koji je primljen i moze se citati preko magistralnog interfejsa. LSB (bit0) predstavlja “najstariji” primljen bit. Ako je primljen podatak manji od 8 bita neiskorisceni visi bitovi se pune nulama.

Pristupni bit deljitelja lacha (DLAB) mora biti nula kako bi se pristupilo U0RBR. Iz U0RBR moze samo da se cita. Kako PE,FE i BI bitovi zajedno deluju sa bajtom koji stoji na vrhu RBR FIFO (sa onim koji ce se procitati u sledecem citanju RBR) pravi pristup za prikupljanje ispravnog para primljenog bajta i statusnih bitova je da se prvo ucita sadrzaj U0LSR registra a zatim bajt U0RBR.

UART0 Prijemni bafer registar (U0RBR, DLAB = 0, 0xE000 C000) opis :

Bit	Simbol	Opis	Reset vr.
7:0	RBR	UART0 Prijemni bafer registar sadrzi najstariji primljen bajt u UART0 Rx FIFO	NA

UART0 PREDAJNI DRZACKI REGISTAR (U0THR – 0xE000 C000, DLAB = 0)

U0THR je vrsni bajt UART0 Tx FIFO. Gornji bajt je najnoviji podatak u Tx FIFO i moze se zapisati preko interfejsne magistrale. LSB predstavlja prvi bit koji se prenosi.

Pristupni bit deljitelja lacha (DLAB) mora biti nula kako bi se pristupilo U0THR. U U0THR moze samo da se pise.

Bit	Simbol	Opis	Reset vr.
7:0	THR	Pisanje u UART0 Predajni drzacki registar izaziva da se podaci smestaju u UART0 predajni FIFO. Bajt se salje kada se dodje do kraja FIFO i predajnik je dostupan	NA

UART0 DELJITELJSKI LATCH REGISTRI 0 i 1 (U0DLL – 0xE000 C000 i U0DLM – 0xE000 C0004 , DLAB = 1)

UART Deljiteljski latch je deo UART0 Generatora bodske brzine i ima vrednost koja se koristi za deljenje VPB takta (PCLK) da bi se napravio takt bodske brzine koji mora biti 16 puta veci od zeljene bodske brzine. U0DLL i U0DLM registri zajedno formiraju 16-bitni deljitelj gde U0DLL sadrzi nizih 8 bitova a deljitelj U0DLM sadrzi visih 8 bitova.A

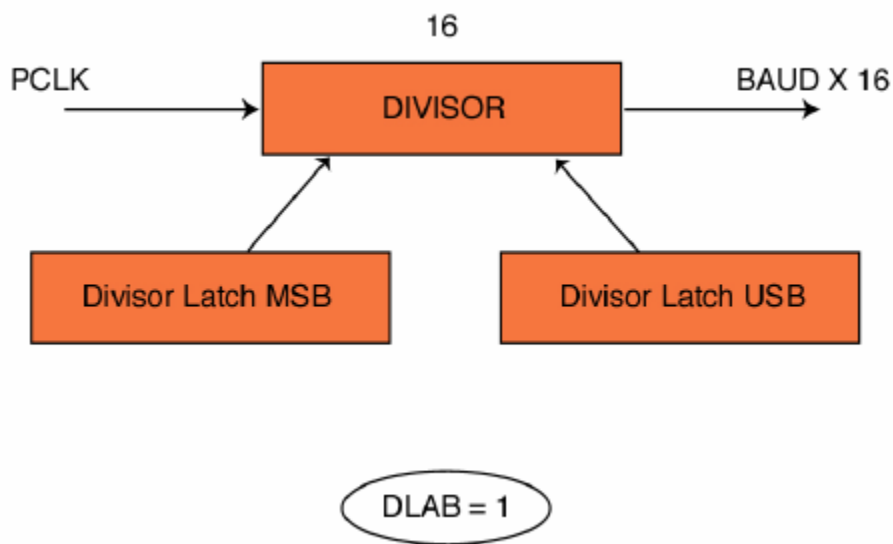
0x000 vrednost se tretira kao 0x0001 jer deljenje sa nulom nije dozvoljeno. Bit pristupa deljitelju (DLAB) u U0LCR mora biti 1 da bi se pristupilo UART0 deliteljima latch-a.

Jednacina 1:

$$UART0_{baudrate} = \frac{pclk}{16 \times (16 \times U0DLM + U0DLL)}$$

UART0 Delitelj latch LSB registar i Delitelj MSB registar (U0DLL i U0DLM) opis:

Bit	Simbol	Opis	Reset vr.
7:0	DLLSB	UART0 Delitelj latch LSB registar, zajedno sa U0DLM odrecuju bodsku brzinu UART0.	0x01
7:0	DLMSB	UART0 Delitelj latch MSB registar, zajedno sa U0DLL odrecuju bodsku brzinu UART0.	0x00



ODREDJIVANJE BODSKE BRZINE

Primer: Koristeći UART0 bodsku brzinu iz jednacine iznad može se odrediti da sistem sa PCLK = 20 MHz, U0DL = 130 (U0DLM = 0x00 i U0DLL = 0x82) će omogućiti UART0 sa bodskom brzinom od 9615 bit/sec.

Tabela nekih bodskih brzina dostupna kada se koristi 20MHz periferi takt (PCLK = 20MHz) :

Zeljena bodska brzina	U0DLM:U0DLL		% greske ¹	Zeljena bodska brzina	U0DLM:U0DLL		% greske ¹
	hex	dec.			hex	dec.	
50	0x61A8	25000	0	4800	0x0104	260	0.1603
75	0x411B	16667	0.0020	7200	0x00AE	174	0.2235
110	0x2C64	11364	0.0032	9600	0x0082	130	0.1603
134.5	0x244E	9294	0.0034	19200	0x0041	65	0.1603
150	0x208D	8333	0.0040	38400	0x0021	33	1.3573
300	0x1047	4167	0.0080	56000	0x0021	22	1.4610
600	0x0823	2083	0.0160	57600	0x0016	22	1.3573
1200	0x0412	1042	0.0320	112000	0x000B	11	1.4610
1800	0x02B6	694	0.0640	115200	0x000B	11	1.3573
2000	0x0271	625	0	224000	0x0006	6	6.9940
2400	0x0209	521	0.0320	448000	0x0003	3	6.9940
3600	0x015B	347	0.0640				

¹relativna greska je izracunata kao : $\text{aktualna_bodska brzina} / \text{zeljena bodska brzina}$.
Aktualna bodska brzina zasnovana na jednacini 1 iznad .

UART0 REGISTAR OMOGUCAVANJA PREKIDA (UIER – 0xE000 C004, kada je DLAB = 0)

U0IER se koristi da omoguci tri UART0 izvora prekida.

UART0 REGISTAR OMOGUCAVANJA PREKIDA (UIER – 0xE000 C004, kada je DLAB = 0) opis bitova :

Bit	Simbol	Vrednost	Opis	Reset vrednost
0	RBR Prekid Moguc		U0IER[0] omogucava prekid kada su prijemni podaci spremni za UART0.i takodje kontrolise prekid usled izostanka prijemnih podataka	0
		0	Onesposobljen RDA prekid	
		1	Osposobljen RDA prekid	
1	THRE Prekid Moguc		U0IER[1] omogucava THRE prekid za UART0. Status da li se dogodio moze se videti u U0LSR[5]	0
		0	Onesposobljen THRE prekid	
		1	Osposobljen THRE prekid	

Bit	Simbol	Vrednost	Opis	Reset vrednost
2	RX status linije prekid moguc	0 1	U0IER[2] omogucuje statusni prekid UART0 RX linije. Status ovog prekida moze se procitati uz U0LSR [4:1] Onesposobljen statusni prekid RX linije Osposobljen statusni prekid RX linije	0
7:3			Sacuvano, korisnicki softver ne bi trebalo da pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana.	NA

UART0 INDETIFIKACIONI REGISTAR PREKIDA (U0IIR – 0xE000 C008 ,samo za citanje)

U0IIR obezbedjuje statusni kod koji oznacava prioritet i izvor cekajuceg prekida. Prekid je zakocen usled pristupa U0IIR. Ako se prekid dogodi tokom U0IIR pristupa ,prekid se snima za sledeci pristup U0IIR.

UART0 REGISTAR INDETIFIKACIJE PREKIDA (UIER – 0xE000 C008, za citanje samo) opis bitova :

Bit	Simbol	Vrednost	Opis	Reset vrednost
0	Prekid ceka	0 1	Primetiti da U0IIR[0] je nisko aktivan. Da li postoji prekid ne cekanju moze se odrediti procenom U0II[3:1] Najmanje jedan prekid ceka Nema prekida na cekanju	0
3:1	Indetifikacija prekida	011 010 110 001	U0IER[3:1] indetifikuje da li prekid je u vezi sa UART Rx FIFO. Sve druge kombinacije koje nisu navedene su sacuvane (000,100,101,111) 1 – Status prijemne linije 2a- Prijemni podaci dostupni 2b- Indikator izostanka podatka 3 - THREE prekid	0
5:4			Sacuvano, korisnicki softver ne bi trebalo da se pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana	
7:6	FIFO omogucen		Ovi bitovi su jednaki sa U0FCR[0]	

Prekidi se regulisu kao sto je prikazano u sledecoj tabeli. Na osnovu statusa U0IIR[3:0] rutina za upravljanje prekidom moze odrediti uzrok prekida i kako da završi sa aktivnim prekidom. U0IIR mora biti procitan kako bi se obrisao prekid koji izlazi iz Servisne Rutine Prekida (ISR).

UART0 RLS prekid (U0IIR[3:1] = 011) je prekid najvećeg prioriteta i on se postavlja kad god se uslovi za jednu od četiri greske pojave na UART0 Rx ulazu: greska prelaza(OE), greska parnosti (PE), greska rama (FE), i iznuren prekid (BI). UART0 Rx uslovi koji postavljaju prekid mogu se pratiti sa U0LSR[4:1]. Prekid se briše nakon sto je U0LSR procitan.

UART0 RDA prekid (U0IIR[3:1] = 010) deli prioritet drugog reda sa CTI prekidom (U0IIR[3:1] = 110). RDA je aktivno kada UART0 Rx FIFO dostigne nivo okidaca definisan u U0FCR[7:6] i resetuje se kada UART0 Rx FIFO dubina padne ispod dubine okidaca. Kada RDA prekid postane aktivan, CPU moze citati blok podataka definisan nivoom okidaca.

CTI prekid (U0IIR[3:1] = 110) je prekid prioriteta drugog reda i postavlja se kada UART0 Rx FIFO sadrži barem jedan podatak a UART Rx FIFO nije zabeležio aktivnost 3.5 do 4.5 vremena podatka. Bilo kakva UART Rx FIFO aktivnost (pisanje ili citanje RSR) će očititi prekid. Ovaj prekid je namenjen da očisti UART0 RBR nakon sto je primljena poruka koja nije deljiva sa velicninom nivoa okidaca. Na primer, ako periferija zeli da pošalje poruku duzine 105 karaktera a nivo okidaca je 10 karaktera ,CPU bi primio 10 RDA prekida rezultujući u prenosu 100 karaktera, i 1 do 5 CTI prekida (zavisno od servisne rutine) rezultujući u prenosu 5 karaktera.

Tabela UART0 regulacija prekida:

U0IIR[3:1] vrednost	Prioritet	Tip prekida	Izvor prekida	Reset Prekida
0001		Nista	Nema	
0110	Najvisi	RX status linije/greska	OE, PE , FE, BI	U0LSR se cita
0100	Drugog	Rx podatak dostupan	Rx podatak je dostupan ili je nivo okidaca dostignut u FIFO (U0CFR=1)	U0RBR se cita ili je FIFO pao ispod nivoa okidaca
1100	Drugog	Indikacija izostanka karaktera	Minimum od jednog karaktera u Rx FIFO i ulaza karaktera ili izlaza, u vremenskom intervalu zavisnom od broja karaktera u FIFO i koji je podesen nivo okidaca (3.5 do 4.5 vremena karaktera)*	U0RBR se cita
0010	Treceg	THRE	THRE	U0IIR cita ili THR pise

*tacno vreme ce biti :

$[(\text{duzina reci}) \times 7 - 2] \times 8 + [(\text{nivo okidaca} - \text{broj karaktera}) \times 8 + 1] \text{ RCLKs}$

UART0 THRE prekid (U0IIR[3:1] = 001) je prekid treceg nivoa i aktivira se kad UART0 THR FIFO je prazan pod uslovom da su se odredjeni uslovi inicijalizacije ispunjeni. Ovi uslovi inicijalizacije su namenjeni da daju UART0 THR FIFO sansu da se napuni podacima da bi se izbegli mnogi THRE prekidi pri podizanju sistema. Ovi uslovi pri inicijalizaciji ostvaruju kasnjenje od jednog karaktera minus stop bit kad god je THRE =1 i nije postojalo barem dva karaktera u U0THRE u nekom trenutku od poslednjeg THRE=1 dogadjaja. Ovo kasnjenje daje vreme CPU da pise na U0THR bez THRE prekida koji bi se dekodirao i servisirao. THRE prekid se postavlja trenutno ako je UART THR FIFO imao dva ili vise karaktera u nekom vremenu a trenutno U0THR je prazan. THRE prekid se resetuje kada se pisanje na U0THR dogodi ili citanje U0IIR se ostvari a THRE prekid ima najveći prioritet (U0IIR[3:1] = 001) .

UART FIFO KOTROLNI REGISTAR (U0FCR – 0xE000 C008)

U0FCR kontrolise operacije UART0 Rx i Tx FIFO-a.

UART0 FIFO Kontrolni registar (UFCR – adresa 0xE000 C008) opis bitova

Bit	Simbol	Vrednost	Opis	Reset vrednost
0	FIFO omoguci	0	UART0 FIFO-i su onemoguceni.Ne sme se koristiti u aplikaciji.	0
		1	Visoki nivo omogucava za oba UART0 Rx i Tx FIFO i U0FCR[7:1] pristup.Ovaj bit mora biti postavljen za pravilan rad UART0.Bilo kakva promena na ovom bitu ce automatski obrisati prijemni i predajni UART0 FIFO.	
1	RX FIFO reset	0	Nikakvog uticaja ni na jedan UART0 FIFO	0
		1	Pisanje logicke jedinice na U0FCR[1] ce automatski ocistiti sve bajtove u UART0 Rx FIFO i resetovace pokazivacku logiku. Ovaj bit se sam brise.	
2	TX FIFO reset	0	Nikakvog uticaja ni na jedan UART0 FIFO	0
		1	Pisanje logicke jedinice na U0FCR[2] ce automatski ocistiti sve bajtove u UART0 Tx FIFO i resetovace pokazivacku logiku. Ovaj bit se sam brise.	

Bit	Simbol	Vrednost	Opis	Reset vrednost
5:3		0	Sacuvano, korisnicki softver ne bi trebalo da se pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana	NA
7:6	RX Nivo okidaca		Ova dva bita odrecuju koliko ce prijemnih UART0 FIFO karaktera biti napisano pre nego sto se dogodi prekid	0
		00	prekid je aktivan	
		01	Nivo okidaca 0 (1 karakter ili 0x01)	
		10	Nivo okidaca 1 (4 karaktera ili 0x04)	
		11	Nivo okidaca 2 (8 karaktera ili 0x08)	
			Nivo okidaca 3 (14 karaktera ili 0x0E)	

UART KONTROLNI REGISTAR LINIJE (U0LCR – 0xE00 C00C)

U0LCR odredjuje format karaktera podataka koji ce se poslati ili primiti.

UART Kontrolni registar linije (U0LCR – 0xE00 C00C) opis bitova :

Bit	Simbol	Vrednost	Opis	Reset vrednost
1:0	Izbor duzine reci	00	5 bita duzina karaktera	0
		01	6 bita duzina karaktera	
		10	7 bita duzina karaktera	
		11	8 bita duzina karaktera	
2	Izbor Stop Bit	0	1 stop bit	0
		1	2 stop bita	
5:4	Izbor Parnosti	00	Neparna parnost. Broj jedinica u poslatom karakteru i zakacena parnost bice neparan.	0
		01	Parna parnost. Broj jedinica u poslatom karakteru i zakacena bice paran.	
		10	Iznudjena “1” umetnuta parnost	
		11	Iznudjena “0” umetnuta parnost	
6	Kontrola zastoja	0	Onemoguci zastojni prenos	0
		1	Omoguci zastojni prenos. Izlazni pin UART0 TxD je primoran na logicku 0 kada je U0LCR[6] visoko aktivan.	
7	Delitelj Latch-a	0	Onemoguci pristup deliteljima latch-a (DLAB)	0
	Pristupni bit	1	Omoguci pristup deliteljima latch-a	

UART0 STATUSNI REGISTAR LINIJE (U0LSR – E000 C014, samo za citanje)

U0LSR je registar koji obezbedjuje statusne informacije na UART0 Tx i Rx blokovima.

UART0 Statusni registar linije (U0LSR – E000 C014, samo za citanje) opis bitova:

Bit	Simbol	Vred	Opis	Reset vrednost
0	Prijemnik podataka spreman (RDR)	0 1	U0LSR je postavljen kada U0RBR sadrzi neprocitan karakter a obrisano kada je UART0 RBR FIFO prazan. U0RBR je prazan. U0RBR sadrzi validne podatke	0
1	Greska Premasenja (OE)	0 1	Greska u premasenju se setuje cim se dogodi. Citanje U0LSR cisti U0LSR[1]. U0LSR[1] se setuje kada UART0 RSR ima sastavljen novi karakter a UART0 RBR FIFO je pun. U tom slucaju UART0 RBR FIFO nece biti prepisan i karakteri u UART RSR ce biti izgubljeni. Status greske u premasenju je neaktivan Status greske u premasenju je aktivan	0
2	Greska u Parnosti (PE)	0 1	Kada se bit parnosti prijemnog karaktera u pogresnom stanju greska u parnosti se dogadja.Citanje U0LSR brise U0LSR[2].Vreme detekcije greske u parnosti zavisi od U0FCR[0] Zabeleska: Greska u parnosti se povezuje sa karakterom na vrhu UART0 RBR FIFO Greska u parnosti je neaktivna Greska u parnosti je aktivna	0
3	Greska u Ramu (FE)	0 1	Kada stop bit prijemnog karaktera je logicka 0 greska u ramu se dogadja.Citanje U0LSR brise U0LSR[3].Vreme detekcije greske u ramu zavisi od U0FCR0. Nakon detekcije greske u ramu, Rx ce pokusati da se resinhronizuje prema podacima i pretpostavice da pogresan stop bit je u stvari start bit. Medjutim, ne moze biti pretpostavljeno da sledeci primljeni bajt ce biti korektan cak i ako nema greske u ramu. Zabeleska: Greska u ramu se povezuje sa karakterom na vrhu UART0 RBR FIFO. Greska u ramu je neaktivna Greska u ramu je aktivna	0

Bit	Simbol	Vred	Opis	Reset vrednost
4	Prekid usled zastoja (BI)		Kada RXD0 se drzi u lebdecem poloazaju(sve nule) za vreme prenosa punog karaktera (start, podatak, parnost, stop) , prekid zastoja se dogodi.Kada se uslovi zastoja ispune , prijemnik je u stanju mirovanja sve dok RXD0 ne ode u obelezavajuće stanje (sve jedinice)	0
		0	Citanje U0LSR brise statusni bit. Vreme detekcije zastoja zavisi od U0FCR[0]. Zabeleska: Prekid usled zastoja se povezuje sa karakterom na vrhu UART0 RBR FIFO	
		1	Prekid usled zastoja je neaktivan.	
5	Predajni drzacki registaj je prazan (THRE)		THRE se postavlja odmah nakon detekcije praznog UART0 THR i brise se odmah nakon upisa u U0THR.	1
		0	U0THR sadrzi validan podatak	
		1	U0THR je prazan	
6	Predajnik je prazan (TEMT)		TEMT se postavlja kada su oba U0THR i U0TSR prazni.TEMT se brise kada bilo U0THR ili U0TSR sadrže validan podatak	1
		0	U0THR i/ili U0TSR sadrže validan podatak	
		1	U0THR i U0TSR su prazni	
7	Greska u RX FIFO (RXFE)		U0LSR[7] je setovan kada se karakter sa Rx greskom kao sto su greska u ramu,greska parnosti ili prekid zastoja , upisu u U0RBR. Ovaj bit se brise kada U0LSR registar je procitan i ne postoje naredne greske u UART FIFO.	0
		0	U0RBR ne sadrzi UART0 RX greske (U0FCR=0)	
		1	UART0 RBR sadrzi barem jednu UART RX gresku.	

REGISTAR BLOKA ZA ZVRLJANJE (U0SCR – 0xE000 C01C)

U0SCR nema nikakvog efekta na operacije UART0. U ovaj registar se moze pisati i /ili brisati po zelji korisnika. Ne postoji odredba u interfejsu prekida koja ce naznaciti da se dogodilo pisanje ili citanje U0SCR.

Blok za zvrljanje registar (U0SCR – 0xE000 C01C) opis bitova:

bit	Simbol	Vred	Opis	Reset vrednost
7:0	Pad		Bajt za citanje i pisanje	0x00

UART0 REGISTAR OMOGUCAVANJA SLANJA (U0TER – 0xE000 C030)

LPC2131/2/4/6/8 U0TER omogućavaju implementaciju softverske kontrole toka. Kada je TXEn = 1, UART0 predajnik ce slati podatke dokle god su oni dostupni. Kako TXEn postane 0, ,UART0 slanje ce prestati.

Kako koristiti TXEn bit kako bi se postigla softverska kontrola toka :

bit	Simbol	Opis	Reset vrednost
6:0		Sacuvano, korisnicki softver nebi trebao da se pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana	NA
7	TXEN	Kada je ovaj bit 1, kao sto je posle reseta . podaci napisani u THR su poslati na TXD pin cim je bilo koji prethodni podatak poslat. Ako je ovaj bit postavljen na nulu, dok se karakter salje ,slanje tog karaktera se zavrшава, ali nijedan drugi karakter nece biti poslat sve dok se ovaj bit ponovo ne postavi na nulu. Drugim recima ,0 u ovom bitu blokira transfer karaktera sa THR ili TX FIFO u pomeracki registar slanja. Softver implementira “softversko-rukovanje” koje moze obrisati ovaj bit kada dobije XOFF karakter (DC3). Softver moze postaviti ovaj bit ponovo ovaj bit kada dobije XON (DC1) karakter.	1

ARHIKTETURA

Arhitektura UART0 je prikazana ispod u blok dijagramu.

VPB interfejs omogućava komunikacijsku vezu između CPU ili domaćina i UART0

UART0 prijemni blok, U0RX, prati serijsku ulaznu liniju, RXD0, da li je validan unos. UART0 Rx pomerački registar (U0RSR) prihvata validne karaktere preko RXD0. Nakon što se validan karakter montira u U0RSR, on se prosledjuje prema UART0 RX bafer registru FIFO da čeka pristup od strane CPU ili domaćina preko opsteg glavnog interfejsa.

UART0 predajni blok, U0TX, prihvata podatke napisane od strane CPU ili domaćina i skladišti podatke na UART0 TX drzackom registru FIFO (U0THR). UART0 TX pomerački registar (U0TSR) čita podatke smestene u U0THR i namešta podatak da se pošalje preko serijskog izlaznog pina, TXD0.

UART0 Blok generatora bode brzine, U0BRG, generise vreme uzrokovanja koje koristi UART0 TX blok. Ulazni takt U0BRG je VPB (PCLK). Glavni takt je podeljen prema deljitelju koji je naveden u U0DLL i U0DLM registrima. Ovaj podeljeni silazeci takt je 16x prekoprimeri takt. NBAUDOUT.

Interfejs prekida sadrži registre U0IER i U0IIR. Prekidni interfejs prima nekoliko jedno bitnih omogući taktova od strane U0TX i U0RX blokova.

Statusne informacije od strane U0TX i U0RX se smestaju u U0LSR. Kontrolne informacije U0TX i U0RX se smestaju u U0LCR.

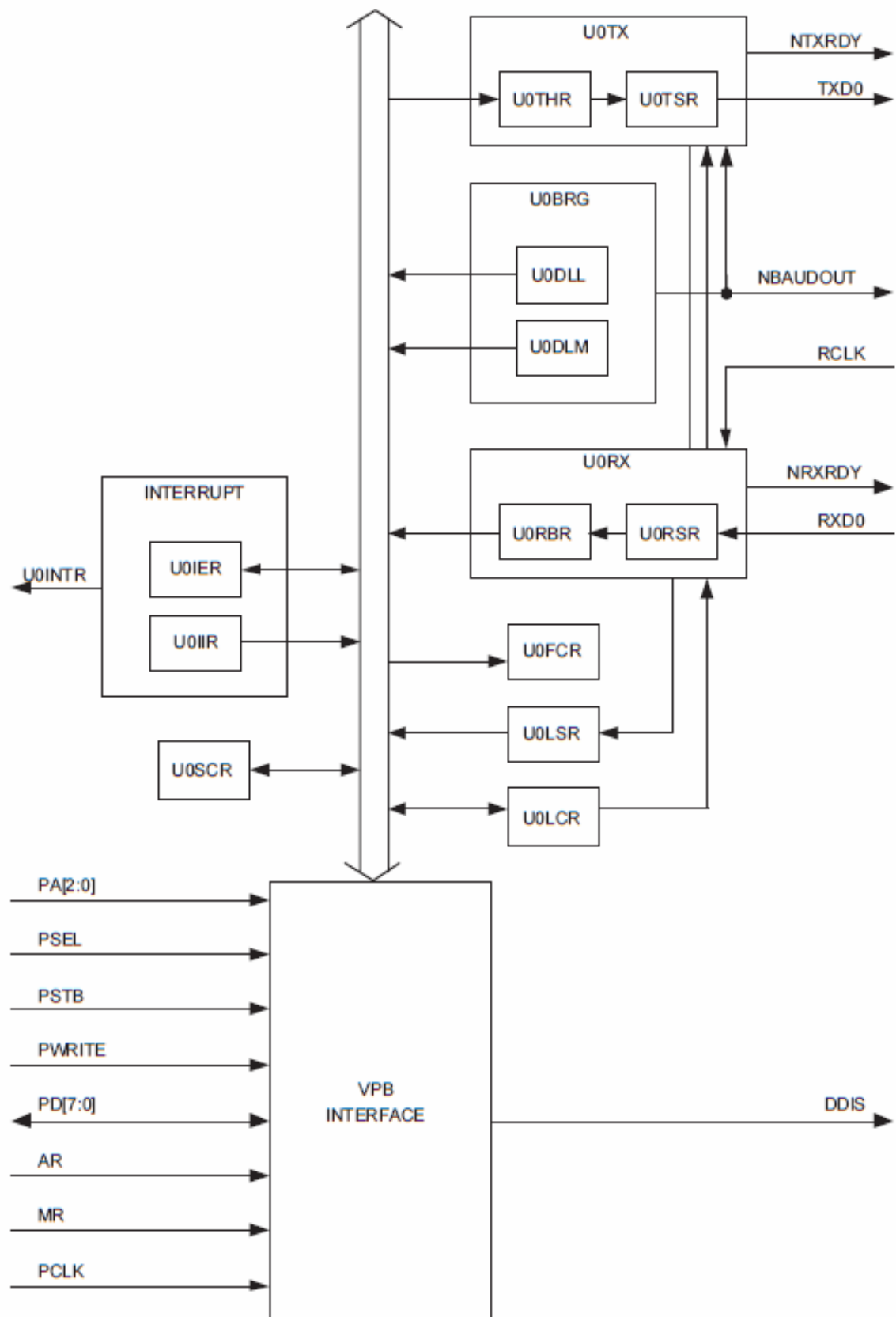


Fig 18. LPC2131/2/4/6/8 UART0 block diagram

UNIVERZALNI ASINHRONI PRIJEMNIK/PREDAJNIK 1 (UART 1)

- UART1 je indentican UART0, sa dodatkom modem interfejsa
- 16 – bajtni prijemni i predajni FIFO
- Lokacije registra su u skladu sa “550 industriskim stnadardom”
- Okidacke tacke prijemnnog FIFO registra na 1,4,8 i 14 bajta
- Ugradjeni generator bodske brzine
- Standardni signali modemskog interfejsa (samo LPC2314/6/8)
- LPC2131/2/4/6/8 UART1 obezbedjuje mehanizam koji omogucuje implementaciju bilo softverski ili hardverski kontrolu toka.

UART1 opis pinova :

Pin	Tip	Opis
RXD1	Ulazni	Seriski ulaz. Serisko primanje podataka
TXD1	Izlazni	Seriski izlaz.Serisko slanje podataka.
CTS1	Ulaz	Slobodno za slanje. Niski aktivni signal pokazuje da li je eksterni modem spreman da prihvati poslati podatak preko TXD1 od strane UART1. U normalnom operisanju modemskog interfejsa (U1MCR[4] = 0) ,komplementna vrednost ovog signala se smesta u U1MSR[4]. Promena stanja se smesta u U1MSR[0] i izvor je prekida 4 stepena ,ako je moguc (U1IER[3] = 1)
DCD1	Ulaz	Detekcija prenosa signala. Nisko aktivni signal pokazuje da li je eksterni modem uspostavio komunikaciju sa UART1 i podaci mogu da se razmenjuju. U normalnom operisanju modemskog interfejsa (U1MCR[4] = 0), komlementna vrednost ovog signala se smesta u U1MSR[7]. Premena stanja se smesta uU1MSR3 i izvor je prekida 4 stepena ako je moguc (U1IER[3] = 1)
DSR	Ulaz	Podacu su spremni. Nisko aktivni signal pokazuje da li je eksterni modem spreman da uspostavi komunikaciju sa UART1. U normalnim operacijama modemskog interfejsa (U1MCR[4] = 0), komlementna vrednost ovog signala se smesta u U1MSR[1]. i izvor je prekida 4 stepena ako je moguc (U1IER[3] = 1)

Pin	Tip	Opis
DTR1	Izlaz	Terminal podataka spreman. Nisko aktivni signal pokazuje da je UART1 spreman da uspostavi vezu sa eksternim modemom. komplementna vrednost ovog signala se smesta u U1MSR[0].
RI1	Ulaz	Indikator zvona. Nisko aktivni signal pokazuje da je signal zvonjave telefona je detektovan od strane modema. U normalnim operacijama modemskog interfejsa (U1MCR[4]=0), komplementna vrednost ovog signala se smesta u U1MSR[6]. i izvor je prekida 4 stepena ako je moguc (U1IER[3] = 1)
RTS1	Izlaz	Zahtev za slanje. Nisko aktivni signal pokazuje da UART1 bi zeleo da zalje podatke ka eksternom modemu. komplementna vrednost ovog signala se smesta u U1MSR[1].

Prekid zbog modema (U1IIR[3:1] = 000) je dostupan samo na LPC2134/6/8. Ima najnizi prioritet i aktivira se kad god postoji bilo kakva promena na modemskim ulaznim pinovima. ,DCD,DSR CTS. Uz dodatak da visoka promena na modemskom ulazu RI ce generisti prekid zbog modema. Izvor prekida moze se utvrditi ispitujući U1MSR[3:0]. Citanje U1MSR[3:0] ce obrisati prekid zbog modema.

UART1 KONTROLNI REGISTAR MODEMA (U1MCR – 0xE001 0010)

U1MCR omogućuje povratni način rada modema i kontrolise izlazne signale.

UART1 Kontrolni registar modema (U1MCR adresa– 0xE001 0010) samo LPC2314/6/8 :

Bit	Simbol	Vred	Opis	Reset vrednost
0	DTR kontrola		Izvor modemskog izlaznog pina, DTR. Ovaj bit se cita kao 0 kada je povratni način rada aktivan	0
1	RTS kontrola		Izvor modemskog izlaznog pina, RTS. Ovaj bit se cita kao 0 kada je povratni način rada aktivan	0
3:2			Sacuvano, korisnicki softver nebi trebao da se pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana	NA

Bit	Simbol	Vred	Opis	Reset vrednost
4	Izbor povratnog nacina rada		Povratni nacin rada modema obezbedjuje mehanizam da se izvrši povratno dijagnosticko testiranje. Seriski podaci iz predajnika su povezani interno na seriski ulaz prijemnika. Ulazni pin RXD1 , nema nikakvog efekta na povratni izlazni pin. TXD1 se drži u stanju cuvanja. Cetiri ulazna pina modema (CTS, DSR ,RI i DCD) su iskljucena eksterno Eksterni izlazi modema (RTS,DTR) su neaktivni. Interno cetiri izlaza su povezani na cetiru ulaza modema. Kao rezultat ovih konekcija , cetiri visa bita U1MSR bice pomereni od strane cetiri niza bita U1MCR pre nego od strane cetiri ulaza u normalnom modu. Ovo dozvoljava modemski statusni prekid da bude generisan u povratnom nacinu rada pisanjem niza cetiri bita U1MCR.	0
		0	Onemoguci povratni nacin rada	
		1	Omoguci povratni nacin rada.	
7:5			Sacuvano, korisnicki softver nebi trebao da se pise preko sacuvanih bitova. Vrednost citanja sacuvanih bitova nije definisana	NA

UART1 STATUSNI REGISTAR MODEMA (U1MSR – 0xE001 0018) LPC2134/6/8

U1MSR je registar samo za citanje koji obezbedjuje informaciju o statusu modemskih ulaznih signala. U1MAS[3:0] se brisu pri citanju U1MSR. Primetiti da modemski signali nemaju direktnog uticaja na operacije UART1, oni olaksavaju softversku implementaciju operacija nad modemskim signalima.

UART1 Statusni registar modema (U1MSR – 0xE001 0018) LPC2134/6/8 opis bita:

Bit	Simbol	Vred	Opis	Reset vrednost
0	Delta CTS		Postavlja se usled promene stanja na ulazu CTS. Brise se pri citanju U1MSR.	0
		0	Nije detektovana promena na ulazu, CTS	
		1	Promena stanja detektovana na ulazu, CTS	

ARHIKTETURA:

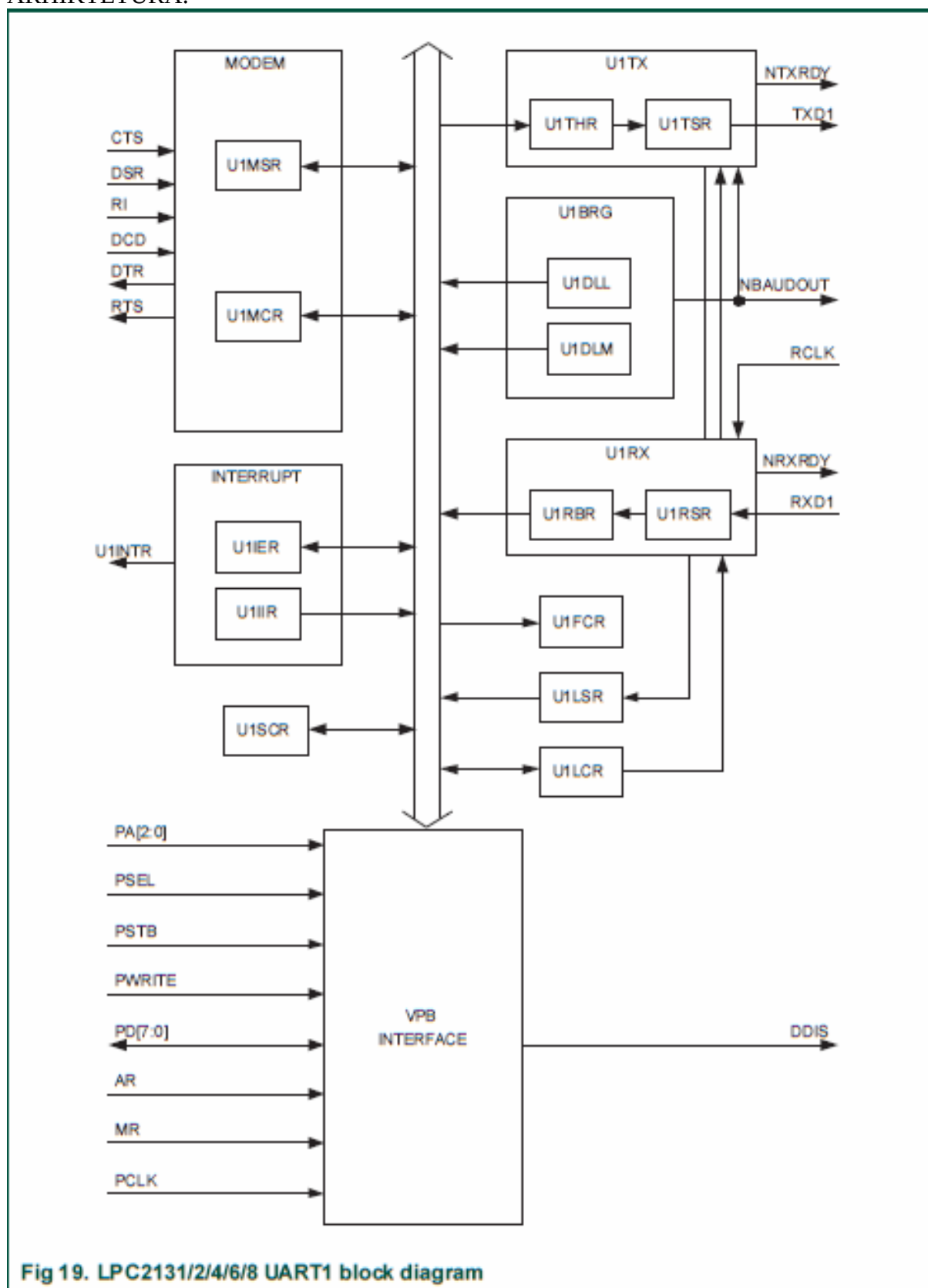


Fig 19. LPC2131/2/4/6/8 UART1 block diagram

